

[Title of the Invention] Information processor

[Abstract] An information processor has a CPU, memory and memory control section. The information processor comprises a burst access interface enabling high speed transfer of data into the CPU, and a single access interface enabling partial write. This information processor also comprises an ECC control section for burst access and an ECC control section for single access in the memory control section, which allows an operator to select burst access or single access. Thus, both high reliability by ECC and high speed of memory access is realized at the same time.

[claim 1]

An information processor having at least memory, a CPU, and a memory control section allowing transfer of data between the memory and CPU, wherein

said CPU has a first data transfer means for transferring data every M bits, and a second data transfer means for transferring data every N bits;

said memory control section has a first error detecting means for detecting the error in the data of M bits corresponding to said first data transfer means, and a second error detecting means for detecting the error in the data of N bits corresponding to said second data transfer means;

selecting means for selecting any one of said first and second data transfer means in accordance with the address generated for access to said memory.

[claim 2] The information processor according to claim 1, wherein said first data transfer means transfers the data using a burst access system, while said second data transfer means transfers the data using a single access system

(19) 日本国特許庁 (JP)

# 再公表特許 (A 1)

(11) 国際公開番号

WO 98 / 0 1 8 0 6

発行日 平成11年(1999)7月21日

(43) 国際公開日 平成10年(1998)1月15日

(51) Int. Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 12/02

12/04

12/16

審査請求 未請求 予備審査請求 有

(全 5 0 頁)

出願番号 特願平10-505016  
(21) 国際出願番号 PCT/JP96/01839  
(22) 国際出願日 平成8年(1996)7月3日  
(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CN, JP, KR, US

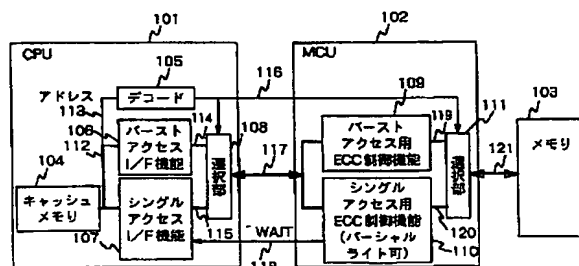
(71) 出願人 株式会社日立製作所  
東京都千代田区神田駿河台4丁目6番地  
(72) 発明者 佐藤 美道  
茨城県日立市鮎川町6丁目20番3号  
(72) 発明者 吉田 昌司  
茨城県日立市鮎川町6丁目20番3号  
(72) 発明者 田中 成弥  
茨城県日立市西成沢町2丁目16番33号  
(72) 発明者 堀田 多加志  
茨城県日立市南高野町3丁目5番12号  
(72) 発明者 菅谷 祐二  
茨城県ひたちなか市青葉町11-1 日立ウ  
ィング627  
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 情報処理装置

(57) 【要約】

CPU、メモリ、メモリ制御部を有する情報処理装置において、CPU内にデータの高速転送が可能なバーストアクセスインタフェースとパシシャルライトが可能なシングルアクセスインタフェースを設けると共に、メモリ制御部内にバーストアクセス用のECC制御部とシングルアクセス用のECC制御部を設け、これらバーストアクセスとシングルアクセスを選択可能としたことにより、ECCによる高信頼化とメモリアクセスの高速化との両立が図られる。

第1図



**【特許請求の範囲】**

1. 少なくとも、メモリ、CPU、メモリ及びCPU間でのデータの読み出し・書き込みを制御するメモリ制御部とを備えた情報処理装置において、

前記CPUは、Mビット単位にデータを転送する第1のデータ転送手段と、Nビット ( $M > N$ ) 単位にデータを転送する第2の転送手段とを有し、

前記メモリ制御部は、前記第1のデータ転送手段に対応して前記Mビットのデータのエラーを検出する第1のエラー検出手段と、前記第2のデータ転送手段に対応して前記Nビットのデータのエラーを検出する第2のエラー検出手段を有し、

前記メモリをアクセスするために発生されるアドレスに基づいて前記第1及び第2のデータ転送手段のうちの何れか一方を選択する選択手段を設けたことを特徴とする情報処理装置。

2. 請求項1において、

前記第1のデータ転送手段はバーストアクセス方式でデータを転送し、前記第2のデータ転送手段は、シングルアクセス方式でデータを転送することを特徴とする情報処理装置。

3. データを所定の方式で転送する第1のデータ転送インタフェースと、前記所定の方式とは異なる方式でデータを転送する第2のデータ転送インタフェースを有するCPUと、

前記第1のデータ転送インタフェースに対応する第1のエラー検出制御手段と、前記第2のデータ転送インタフェースに対応する第2のエラー検出制御手段を有し、メモリと前記CPUとの間でのデータの読み出し・書き込みを制御するメモリ制御部と、

前記第1のエラー検出制御手段と第2のエラー検出制御手段をそれぞれ異なるアドレス空間に割り当て、前記メモリをアクセスするために発生されるアドレスに基づいて何れか一方のエラー検出制御手段を選択する選択手段を有し、

前記選択手段の出力に基づいて選択された前記第1又は第2のエラー検出制御手段によりメモリをアクセスすることを特徴とする情報処理装置。

4. 請求項3において、

前記第1及び第2のエラー検出制御手段は、前記メモリへの書き込みアクセス時、書き込むべきデータに対し所定ビットのエラー訂正符号を付加して書き込み、前記メモリからの読み出しアクセス時、読み出されたデータ中のエラー訂正符号に基づいてエラー検出訂正を行うことを特徴とする情報処理装置。

5. 請求項4において、

前記第1のエラー検出制御手段は固定周期で処理を実行し、前記第2のエラー検出手段は可変周期で処理を実行することを特徴とする情報処理装置。

6. 請求項3において、

前記第1のデータ転送インタフェースはバーストアクセスインタフェースであり、前記第2のデータ転送インタフェースはシングルアクセスインタフェースであることを特徴とする情報処理装置。

7. 請求項6において、

前記第1のデータ転送インタフェースは、行アドレス及び列アドレスを時分割で前記メモリ制御部へ出力することを特徴とする情報処理装置。

8. 請求項4において、

前記CPUは前記メモリに対してNビット単位にアクセスするものであり、前記第2のエラー検出制御手段は、nビット幅より少ないデータを前記メモリに書き込む場合、前記メモリより読み出したnビットデータに前記書き込むべきデータを埋め込み、当該埋め込み後のnビットデータに対してエラー訂正符号を付加することを特徴とする情報処理装置。

9. 少なくとも、データを所定の方式で転送する第1のデータ転送インタフェースと、前記所定の方式とは異なる方式でデータを転送する第2のデータ転送インタフェースと、論理アドレスを物理アドレスに変換するテーブルであって当該テーブル内に前記第1又は第2のデータ転送インタフェースの何れか一方を指定する情報を保持するアドレス変換テーブルを有するCPUと、

前記第1のデータ転送インタフェースに対応する第1のエラー検出制御手段と、前記第2のデータ転送インタフェースに対応する第2のエラー検出制御手段を

有し、メモリと前記CPUとの間でのデータの読み出し・書き込みを制御するメモリ制御部と、

前記メモリをアクセスするために発生されるアドレスに対応する前記アドレス変換テーブル内の指定情報に基づいて何れか一方のエラー検出制御手段を選択する選択手段を有し、

前記選択手段の出力に基づいて選択された前記第1又は第2のエラー検出手段によりメモリをアクセスすることを特徴とする情報処理装置。

10. 請求項9において、

前記第1及び第2のエラー検出制御手段は、前記メモリへの書き込みアクセス時、書き込むべきデータに対し所定ビットのエラー訂正符号を付加して書き込み、前記メモリからの読み出しアクセス時、読み出されたデータ中のエラー訂正符号に基づいてエラー検出訂正を行うことを特

徴とする情報処理装置。

11. 請求項10において、

前記第1のエラー検出制御手段は固定周期で処理を実行し、前記第2のエラー検出手段は可変周期で処理を実行することを特徴とする情報処理装置。

12. 請求項9において、

前記第1のデータ転送インタフェースはバーストアクセスインタフェースであり、前記第2のデータ転送インタフェースはシングルアクセスインタフェースであることを特徴とする情報処理装置。

13. 請求項12において、

前記第1のデータ転送インタフェースは、行アドレス及び列アドレスを時分割で前記メモリ制御部へ出力することを特徴とする情報処理装置。

14. 請求項10において、

前記CPUは前記メモリに対してNビット単位にアクセスするものであり、前記第2のエラー検出制御手段は、nビット幅より少ないデータを前記メモリに書き込む場合、前記メモリより読み出したnビットデータに前記書き込むべきデータを埋め込み、当該埋め込み後のnビットデータに対してエラー訂正符号を付加

することを特徴とする情報処理装置。

**【発明の詳細な説明】****情報処理装置****技術分野**

本発明は、高性能かつ高信頼性が要求される情報処理装置に係り、特に埋め込み型コントローラシステムのメモリ制御に関する。

**背景技術**

アクセスを高速化するために高速バースト転送モードを備える高速メモリデバイスが近年次々と現れてきた。EDOモードつきDRAMやSynchronous DRAM (SDRAM), Synchronous SRAM等と呼ばれるものである。これらは読み出しの際にアドレスを順次切り替えてデータをクロック同期で順次出力するパイプライン動作を行う。

一方、近年の半導体技術の進歩により、マイクロコンピュータが広く適用されるようになった。種々の機器の内部に埋め込まれて制御機能を担うコントローラ分野でも組込み型マイコンにより、小形、高性能が実現されている。代表的な組込み型マイコンとしては、日立のSHマイコン (SH-2, SH-3) があげられる。SHマイコンは、通常のシングルアクセスインタフェース機能 (1バスサイクルあたり1データのみアクセス) と、バーストアクセスインタフェース機能を備え、ユーザシステムごとに、どちらのインタフェースを使うか設定できるようになっている。特に、バーストアクセスインタフェースは外部付加回路なしにSDRAMを直結できるインタフェースであり、装置を小形化するのに適している。

ところで、医療、プラント制御、交通、自動車など高信頼を要求する

分野でもマイコンの適用は進んでいる。高信頼化するために注目されている点は、ノイズや $\alpha$ 線の影響によりメモリのデータの誤りが発生することである。この問題を解決するためメモリにパリティ (Parity) やECC (Error Correcting Code, エラー訂正符号) 機能をつけることが一般的である。

ECC機能とは、例えば32ビットデータに対して7ビットのエラー訂正符号をつけることで、1ビットエラー訂正、2ビットエラー検出するものである。メ

メモリにECC機能を持たせる場合の基本動作を説明する。メモリに32ビットのデータを書き込むとき、ECCエラー訂正符号7ビットを生成して、データとともに39ビット幅で書き込む。メモリから訂正符号付きの39ビットのデータを読み出して、ECCエラー検出訂正を行い、32ビットのデータを得る。ECC制御の複雑な点として、必ず32ビットのデータに対してのみECCエラー訂正符号(ECCビット)を生成しなければならない。つまり、32ビットデータの書き込みを行うときは単純にECCビットを付加して書き込めばよいが、バイト単位の書込動作をするときには以下の手順が必要である。

- a) 書き込むアドレスの32ビットデータをメモリから読み出す。
  - b) 書き込むデータをa)のデータに埋め込んで新たな32ビットデータとする。
  - c) b)のデータに対しECCビットを生成してからメモリへ書き込む。
- なお、バイト単位の書き込みをパーシャルライト、その時の動作をリードモディファイライトと呼ぶ。

しかしながらSHマイコン等、多くの組み込み型マイコンにはこの機能は備えられておらず、外部のECC制御回路に付加する必要がある。

SHマイコンのようにバーストアクセスインタフェース機能を有するCPUの外部にECC制御回路を付加するとき、つぎの2つの問題が生じる。

第1の問題は、高速化するためにバーストアクセスインタフェース機能を使用してメモリアクセスを行いたいパーシャルライト(バイト単位の書込動作)ができない点である。

第2の問題は、パーシャルライトを行えるようにするためシングルアクセスインタフェース機能を使用することは可能であるが、メモリの高速バースト転送モードは利用できず、高速なメモリアクセスができない点である。

尚、以下本明細書では、「アサート(assert)」および「ネゲート(negate)」という言葉を一貫して用いる。これは信号には“アクティブ・ハイ(active-high)”と“アクティブ・ロウ(active-low)”があり、これらを混在して扱う場合の混乱を防ぐためである。アクティブ・ロウの信号はその名称の先頭に“ $\bar{\phantom{x}}$ ”をつけて



示す。

「アサート」というのは電位レベルが“Low”，“High”にかかわらず信号がアクティブ（有効）つまり真（true）であることを意味する。そして、「ネゲート」というのは信号がインアクティブ（無効）つまり偽（false）であることを意味する。

#### 発明の開示

本発明は、ECCによる高信頼化とメモリアクセスの高速化を両立し得る情報処理装置を提供することを目的とする。

本発明は、データを所定の方式で転送する第1のデータ転送インタフェースと、前記所定の方式とは異なる方式でデータを転送する第2のデ

ータ転送インタフェースを有するCPUと、前記第1のデータ転送インタフェースに対応する第1のエラー検出制御手段と、前記第2のデータ転送インタフェースに対応する第2のエラー検出制御手段を有し、メモリと前記CPUとの間でのデータの読み出し・書き込みを制御するメモリ制御部と、前記第1のエラー検出制御手段と第2のエラー検出制御手段をそれぞれ異なるアドレス空間に割り当て、前記メモリをアクセスするために発生されるアドレスに基づいて何れか一方のエラー検出制御手段を選択する選択手段を有し、前記選択手段の出力に基づいて選択された前記第1又は第2のエラー検出制御手段によりメモリをアクセスするようにしたことに特徴がある。

具体的には、前記第1のデータ転送インタフェースはバーストアクセス方式でデータを転送するためのものであり、前記第2のデータ転送インタフェースはシングルアクセス方式でデータを転送するためのものである。更に、前記第1のエラー検出手段及び第2のエラー検出手段は共にECC制御機能を有するものであり、特に、第2のエラー検出制御手段は、nビット幅より少ないデータに対して始めにnビット境界のデータをメモリより読み出し、この読み出したデータに、nビット幅より小さい書き込みデータを埋め込み、その上でエラー訂正符号を付加する（パーシャルライトを実行）。

本発明によれば、バーストアクセスインタフェースとシングルアクセスインタ

フェースを適宜選択しECCによる高信頼化がなされるので、通常は高速なバーストアクセスインタフェースを使用し、必要とするときのみシングルアクセスを使用してメモリアクセスの平均的高速化を図ることができる。

従って、ECCによる高信頼化とバーストアクセスインタフェースに

よるメモリアクセスの高速化の両立が可能となる。

#### 図面の簡単な説明

第1図は、本発明の一実施例の概要構成を示すブロック図である。

第2図は、アドレス空間割り当てを示すマップである。

第3図は、アドレスデコード方法を示すブロック図である。

第4図は、アドレス空間割り当てを示すマップである。

第5図は、アドレスデコード方法を示すブロック図である。

第6図は、MCU内部構成を示すブロック図である。

第7図は、簡単化されたMCU内部構成を示すブロック図である。

第8図は、CPUとMCUとSDRAMの接続関係を示す配線図である。

第9図は、MCU内部のデータバスの構成を示すブロック図である。

第10図は、MCU内部の制御部の構成を示すブロック図である。

第11図は、レイテンシ設定法を示すブロック図である。

第12図は、バーストアクセスによる読み出し動作を示すタイムチャートである。

第13図は、バーストアクセスによる書き込み動作を示すタイムチャートである。

第14図は、シングルアクセスによる読み出し動作を示すタイムチャートである。

第15図は、シングルアクセスによる32ビット書き込み動作を示すタイムチャートである。

第16図は、シングルアクセスによるパルシャルライト動作を示すタイムチャートである。

第17図は、エラーアドレスラッチの動作を示すタイムチャートである。

第18図は、本発明の一実施例を示すブロック図である。

第19図は、本発明の一実施例を示すブロック図である。

第20図は、本発明の一実施例を示すブロック図である。

第21図は、システム構成を示すブロック図である。

第22図は、システムバスとの接続方法を示すブロック図である。

発明を実施するための最良の形態

以下、本発明の実施例を図面を用いて説明する。

(実施例1)

第1図は本発明の一実施例の概要を示すブロック図である。

CPU（中央演算処理装置, Central Processing Unit, マイコン）101とMCU（メモリ制御部, Memory Control Unit）102とメモリ103により構成する。

CPU101はキャッシュメモリ104を内部に備える。CPUの内部レジスタとメモリとの間のデータ転送命令を実行する際、あるいは命令フェッチの際、キャッシュメモリ上にコピーが存在しないとき（キャッシュミス）、外部のメモリ103へのアクセス動作を開始する(内部I/F112)。外部のメモリ103へのアクセスはバーストアクセスI/F機能106あるいはシングルアクセスI/F機能107を選択する。選択の判断はデコード回路105によって行う。デコード回路105は内部I/F112の一部のアドレス113をもとにアドレス空間を識別する。バーストアクセスI/F機能106の外部メモリ用入出力114とシングルアクセスI/F機能107の外部メモリ用入出力115を選択する機能を持つ選

択部108はデコード回路105の出力116でどちらかを選ぶ。選択されたものがCPU101の外部(外部入出力I/F117)へ現れる。

MCU102はECCをサポートする目的のもので、本発明の特徴を有するものである。内部にバーストアクセス用ECC制御機能109とシングルアクセス用ECC制御機能110を有する。バーストアクセス用ECC制御機能109は32ビットのデータをパイプライン動作して連続転送するもので、32ビットのデータご

とにエラー検出、ECC生成を行う。シングルアクセス用ECC制御機能110は32ビット単位の読み出しと書き込み、16ビット、8ビット単位の書き込み（パースシャルライト）をECC付きで行うものである。これら2つのECC制御機能の選択はCPU101の内部と対応しなければならない。従ってバーストアクセス用ECC制御機能109の外部メモリ用入出力119とシングルアクセス用ECC制御機能110の外部メモリ用入出力120を選択する機能を持つ選択部111はデコード回路105の出力116でどちらかを選ぶ。選択されたものがMCU102の外部（外部メモリI/F121）へ現れる。サイクル延長要求信号である $\hat{W}$ AIT出力118はシングルアクセス用ECC制御機能110にのみサポートし、パースシャルライトを行う際に生じるサイクル延長を実現する。

メモリ103は高速バースト転送機能をサポートしているもので、DRAM、SDRAMなどで構成する。

つぎに第1図におけるデコード回路105の機能について詳細を説明する。

デコード回路105はバーストアクセスを行うエリア（パースシャルライト不可）とシングルアクセスを行うエリア（パースシャルライト可）をアドレス空間に割り当てる機能を担う。

第2図はアドレス空間割り当ての実施例である。

パースシャルライト不可のエリアA200とパースシャルライト可のエリアB201を全く別の空間に割り当てたことを示す。それぞれのエリアは実メモリエリア202に等しい大きさを持ち、それぞれのエリアへのアクセスは実体がただ一つのメモリに対して行われる。

第3図は、第2図に示した割当方法をデコード回路105で実現する構成を示す。

アドレス113はmビットでバイトアドレスを指し示し、メモリ103は（2のn乗）バイトの容量を持つとする。このときメモリ103の領域（第2図の202）の特定のバイトアドレスを指定するのはLSB（最下位ビット）のb0からb（n-1）までのビット301である。アドレス空間のエリアA200とエリアB201を指定するのはb<sub>n</sub>からb（m-1）までのビット300である。デ

コードA 3 0 2の回路でエリアAを識別する。一方、デコードB 3 0 3の回路でエリアBを識別する。

具体例として、アドレス1 1 3が3 2ビット構成、メモリ1 0 3の容量が8メガバイトの場合、 $m = 32$ ， $n = 23$ である。アドレス空間は1 2 8個の8メガバイトアドレスエリアに分割される。通常、一つのエリアにメモリ1 0 3の空間を割り当てが、本実施例は唯一のメモリを2つのエリアA，Bからそれぞれ8メガバイトアドレスエリアとしてアクセスできるように割り当てるのである。

本発明の特徴として、エリアA 2 0 0はバーストアクセスを行うエリア（パースャルライト不可）に、エリアB 2 0 1はシングルアクセスを行うエリア（パースャルライト可）にする。システムとしての使い分けは、コピーバック方式のキャッシュメモリを使用し、キャッシュのライ

ン単位（1 6バイト単位等）でバーストアクセス転送しか生じないエリアをエリアA 2 0 0とし、キャッシュをOFFの状態で使用し1 6ビット，8ビット単位の書き込みが必要となるエリアをエリアB 2 0 1とする。ソフトウェアでこの2つのエリアを使い分ける。

第8図は、第1図のメモリ1 0 3をSDRAMで構成し、このSDRAMとCPU101とMCU102との接続関係を示したものである。

1 6 Mビット(1048576ワード×8ビット×2バンク構成)のSDRAMを5個使用し、4個(8 2 2～8 2 5)は3 2ビットのデータ幅で8 Mバイトの容量とし、1個(8 2 6)は7ビットのE C Cデータを割り当てる構成である。3 2ビットのデータに対して7ビットのE C Cビットを付加するのは一般にSECDED(Single bit Error Correction/Double bit Error Detection)と呼ばれる方式によるものである。SECDED方式は1ビットの誤り訂正機能と2ビットの誤り検出機能を有する。

以下、各接続信号について簡単に説明する。

(1) CPU101とMCU102のインタフェース信号

番号	CPU信号名	説明
801	$\wedge$ CS <sub>A</sub>	メモリのバーストアクセス選択を示す。 第1図の116に対応する。
802	$\wedge$ CS <sub>B</sub>	メモリのシングルアクセス選択を示す。 第1図の116に対応する。
601	ADDR[22:2]	アドレス出力である。 ビット22～2, 21本から成る。 (2M×4)バイト空間を指定する。 バーストアクセス時は[13:2]に行 (column)アドレスと列(row)アドレスが時 分割出力される。
602	DATA[31:0]	データ入出力である。 32ビット, 4バイトの幅を持つ。
805	RD/ $\wedge$ WR	メモリの読み出し／書き込みを示す。
806	$\wedge$ RAS	行アドレスストローブ信号である。 バーストアクセスI/Fで使用する。
807	$\wedge$ CAS	列アドレスストローブ信号である。 バーストアクセスI/Fで使用する。
808	DQMLL/ $\wedge$ WE0	DATA[7:0]の書込マスクである。
809	DQMLH/ $\wedge$ WE1	DATA[15:8]の書込マスクである。
810	DQMHL/ $\wedge$ WE2	DATA[23:16]の書込マスクである。
811	DQMH/ $\wedge$ WE3	DATA[31:24]の書込マスクである。
118	$\wedge$ WAIT	ウェイト信号入力である。 シングルアクセス時、サイクル延長を要 求できる。

(2) MCU102とSDRAM(822～826)のインタフェース信号

番号	MCU信号名	説明
827	$\wedge cs$	チップセレクト信号である。 アサート時のみSDRAMの他の制御信号は有効となる。
622	A[11:0]	アドレス出力である。
812	D[7:0]	データ入出力, 第0バイトである。
813	D[15:8]	データ入出力, 第1バイトである。
814	D[23:16]	データ入出力, 第2バイトである。
815	D[31:24]	データ入出力, 第3バイトである。
816	D[38:32]	ECCデータ入出力である。
817	$\wedge WE$	書き込みイネーブルである。
818	$\wedge RAS$	行アドレスストロープ信号である。
819	$\wedge CAS$	列アドレスストロープ信号である。

### (3) その他

番号	SDRAM信号名	説明
820	DQM	データ入出力マスク。 本実施例では使用しない(マスクしない)。 グラウンド821に接続固定。

本発明において注目しておくべき点は以下のとおりである。

(ア)  $\wedge CS\_A$  (801) と  $\wedge CS\_B$  (802) によりメモリのバーストアクセスとシングルアクセスを選択すること。

(イ) ADDR (601) がバーストアクセスとシングルアクセスで動作が異なること。

(ウ)  $\wedge RAS$  (806) と  $\wedge CAS$  (807) はバーストアクセスでのみ使用すること。

(エ)  $\wedge WAIT$  (118) はシングルアクセスでのみ使用すること。

これより、MCU102について詳細を説明する。

第6図にMCUの内部構成を示す。

バーストアクセス用ECC制御機能109の内部は大きくわけてデータバスA 608と制御部A 609で構成する。データバスA 608の内部は、アドレス601を入力してそれを操作し出力(631)する「アドレス操作部A」612と、読み出し時にデータを入力(626)してECCによるエラー検出および訂正を行い出力(629)する「エラー検出／訂正部A」613と、書込時にデータを入力(607)してECC

ビットを生成し出力(638)する「ECC生成部A」614から成る。

一方、シングルアクセス用ECC制御機能110の内部は大きくわけてデータバスB 610と制御部B 611で構成する。データバスB 610の内部は、アドレス601を入力してそれを操作し出力(632)する「アドレス操作部B」615と、読み出し時にデータを入力(626)してECCによるエラー検出および訂正を行い出力(630)する「エラー検出／訂正部B」616と、書込時にデータを入力(607)してECCビットを生成し出力(634)する「ECC生成部B」617から成る。

「エラー検出／訂正部B」616からの出力630と同時にECC生成部617にも同じデータを出力する(637)。このデータ出力637はパースャルライトを行うときにメモリから一度読み出したデータを書込データ(607)とマージ(Merge)するためのデータバスである。

選択部111の内部はアドレス、データ読み出し、データ書き込み、制御信号に対応して選択機能を持つ。選択機能619はアドレス出力631と632を選択する。選択機能618はデータ読み出し時のためにデータ629と630を選択する。選択機能620は書き込み時のためにデータ633と634を選択する。選択機能621は制御信号635と636を選択する。

CPU101との外部入出力I/F117はアドレス601、データ602、そしてその他の制御信号603を有する。一方、メモリとのインタフェース信号121はアドレス622、データ623、そしてその他の制御信号624から成る。



データ 6 0 1, 6 2 3 は CPU101 が読み出しを行うときと書き込みを行うときとで入出力方向が異なるため 2 つの ECC 制御機能 1 0 9, 110

や選択部 1 1 1 には分別して配送する。データの読み出しにはバッファ 6 2 5, バッファ出力 6 2 6, 選択部出力 6 0 6, バッファ 6 0 4 を使用し、書き込みにはバッファ 6 0 5, バッファ出力 6 0 7, 選択部出力 6 2 8, バッファ 6 2 7 を使用する。

第 6 図の構成は本発明の基本的な考え方をそのまま適用した場合であり、これを単純化してハードウェアコストを抑えることができる。「エラー検出／訂正部 B」 6 1 6 は「エラー検出／訂正部 A」 6 1 3 と同一とすることができ、また、「ECC 生成部 B」 6 1 7 は「ECC 生成部 A」 6 1 4 との違いをマージ機能の有無のみとすることができるのである。従ってこれらは兼用することが可能であり別個に備える必要はない。兼用した場合その出力の選択部も省略できる。

第 6 図で示した構成を機能の兼用により単純化したものを第 7 図に示す。

第 6 図に示したものの違いは兼用化した「エラー検出／訂正部 AB」 7 0 1 と「ECC 生成部 AB」 7 0 2 である。これらの出力 7 0 4 と 7 0 5 に対する選択部は不要であり省略した。「ECC 生成部 AB」 7 0 2 はマージ機能を持ち、「エラー検出／訂正部 AB」 7 0 1 の出力データ 7 0 3 と書込データ 6 0 7 のマージが可能である。マージ機能は制御部 B の指示によりパースャルライトを行うときにのみ使用するものである。

これより、第 7 図の構成を元にした実施例をより詳細に説明をする。

第 9 図は、MCU 内部のデータパスの構成を示す図で、第 7 図におけるデータパス 7 0 6 の部分を第 8 図の接続関係に合わせて示したものである。

アドレス操作部 A 6 1 2 はバーストアクセス時のアドレスを操作する

ためのものである。アドレス操作部 A 6 1 2 で必要な機能は書き込み時には ECC 生成を行うために列アドレスを SDRAM に与えるタイミングを 1 サイクル遅らせることである(後述)。従って、書き込み時の列アドレスを SDRAM に与えるときは列アドレス用ラッチ 9 0 1 の出力 9 0 2 を選択(セクタ 9 0 3)し、

それ以外の時はADDR[13:2]をそのまま出力する(631)。出力631は選択部619により、第8図の $\wedge$ CS\_A801がアサートされているとき有効となる。

アドレス操作部B615はシングルアクセス時のアドレスを操作するためのものである。シングルアクセス時はここで行アドレス(ADDR[22:11]に対応)と列アドレス)ADDR[22]とADDR[10:2]に対応、ADDR[22]はバンク選択)を選別しSDRAMに与えるようにする(905, 906, 907, 632)。出力632は選択部619により、第8図の $\wedge$ CS\_B802がアサートされているとき有効となる。

「エラー検出／訂正部AB」701はエラー検出および訂正機能919とエラーアドレス保持部904を備える。

エラー検出および訂正機能919はSECCDED方式により読み出しデータのエラー検出および訂正を行う。読み出しデータはバーストアクセス実行時、シングルアクセス実行時共にエラー検出および訂正機能919を通してCPU101にデータを転送する。

エラーアドレス保持部904は読み出しデータにエラーを検出した際にそのアドレスを保持しておき、後ほどCPU101から読み出せるようにするためのものである。データにエラーを検出したとき、割り込みを発生させたり、ある特定のレジスタにフラグを立てておくなどしてCPU101に通知しておけばよい。

エラーアドレス保持部904の内部構成を説明する。行アドレスラッチ908と列アドレスラッチ909、そしてこれら2つのラッチの出力911を合わせて入力とするエラーアドレスラッチ910から成る。選択619の出力からアドレスの再構成を行うようにすることによって、バーストアクセス時にもシングルアクセス時にも共通に用いることができる。セレクタ913はエラーアドレスの読み出しの際にのみエラーアドレスラッチ910の出力912を選択出力(704)するものであり、それ以外の時はエラー検出および訂正機能919の出力703を選択出力する。

「ECC生成部AB」702はマージ機能915を持ち、「エラー検出／訂正

部AB」701の出力データ703と書込データ607のマージが可能である。マージ機能は制御部Bの指示によりパースシャルライトを行うときにのみ使用するものである。パースシャルライトが発生すると、制御部Bにより書き込むアドレスの32ビットデータをメモリから読み出す。パースシャルライトの書込データ（607より）を読み出したデータ（703より）に埋め込んで出力（916）するように読み出す。パースシャルライトを行わないときはマージ機能は単に入力607をそのまますべて出力（916）する。

ECC生成917は32ビットのデータ916に対して7ビットのECCビットを生成する機能を持つ。テンポラリラッチ918はECC生成917がECCビットを生成する遅延時間に合わせてデータを1サイクルずつ保持するものである。

次に第10図は、MCU内部の制御部の構成を示すブロック図で、第7図における制御部A609、制御部B611の周辺部を第8図の接続関係に合わせて示したものである。

制御部A609はバーストアクセス時の制御を担い、基本的にはCPU101のバーストアクセス時の制御信号をそのまま出力する。例外的場合は書き込み時に列アドレスと書込データを出力するときである。それは、ECCビットを生成する遅延時間に合わせて列アドレスと書込データを1サイクル遅らせる必要があるためである。2つのラッチ（1001、1002はそのためのものである）。

制御部B611はシングルアクセス時の制御を担う。シングルアクセス時にはCPU101は $\bar{R}AS806$ と $\bar{C}AS807$ によるSDRAMの直接的制御信号を出力しない。従ってシングルアクセス時に制御部B611はこれらを生成しなければならない（RAS/CAS発生1004）。また、各種制御のタイミングの調整（1005）、そしてパースシャルライトの制御（1006）を行う必要がある。

選択621は制御部A609、制御部B611の制御信号出力を選択する。本実施例では $\bar{C}S\_B802$ のアサート時にのみ制御部B611の制御信号出力を選択し、ネゲート時は制御部A609の制御信号出力を選択するようにした。

次に第11図を用いてSDRAMの動作設定について説明する。

SDRAM (822~826) は読み出し時において、ADDR622に列アドレスを与えてから何サイクル後にデータ出力 (812~816) を行わせるか (Cas Latencyと呼ぶ) を内部レジスタに任意 (Nサイクル) に設定することができる。これに対してCPU101はバーストアクセス I/F機能106に同様のレジスタをもち、これに設定しておくことでタイミングを合わせ所望のデータを受け取る (602) ことができる。MCU102を間に置かず、直接CPU101がSDRAMを制御する場合はバーストアクセス I/F機能106側のCas LatencyはSDRAMと等しい。しかし

本発明において、MCU102を間におき、「エラー検出／訂正部」701の遅延時間を確保するためにはSDRAMのNサイクルより大きいMサイクルをバーストアクセス I/F機能106側のCas Latencyに設定する。そうすれば「エラー検出／訂正部」701の遅延時間は (M-N) サイクルを確保できる。

なお本実施例においてはMを3サイクル、Nを2サイクルに設定し、「エラー検出／訂正部」701の遅延時間 (M-N) は1サイクルを確保した。

これより、第8図、第9図、第10図で示した構成についてタイムチャート (第12図~第17図) を用いて動作説明を行う。

第12図はバーストアクセスによる読み出し動作を示すタイムチャートである。

第13図はバーストアクセスによる書き込み動作を示すタイムチャートである。

第14図はシングルアクセスによる読み出し動作を示すタイムチャートである。

第15図はシングルアクセスによる32ビット書き込み動作を示すタイムチャートである。

第16図はシングルアクセスによるパルシャルライト動作を示すタイムチャートである。

第17図は第9図で示したエラーアドレス保持部904の動作例を示すタイムチャートである。

各図面には上から順に以下のものを示す。

“Cycle” (1 2 0 0) : サイクル名。説明のために1バスサイクルの  
の各時間に名前を付け指定する便宜上のもの

である。

CLOCK (1 2 0 1) : CPU101, MCU102, SDRAM (8 2 2 ~ 8 2 6) へ  
の共通クロック信号の波形。

その他 : 第8図に示した接続信号の波形と第9図で示  
した機能の動作タイミングを示す。

第12図はバーストアクセスによるメモリの読み出し動作を示すタイムチャートである。

CPU101は1回のバースト転送につき4回データを読み出す。本実施例に用いたCPU101はアドレスの更新はCPU101が列アドレスを4回すべて指定する方式をとる。

CPU101からバーストアクセス時にはアドレス(6 0 1)の下位([1 3 : 2])に直接SDRAMが接続できるように行アドレスと列アドレスの値が出力される。r 1 サイクルで行(row)アドレス, r 3 ~ r 6 では列(column)アドレスが順次現われることを示す。これを受け取った、MCU102は特に操作等を行わずにSDRAMへ出力する(6 2 2, r 1 ~ r 6)。MCU102内部でアドレス操作部A 6 1 2を選択使用して実現できる。

SDRAMからの読み出しデータはr 5 ~ r 8 サイクルに現われる(8 1 2 ~ 8 1 6)。これらはr 3 ~ r 6 で発行された列アドレスに対応するものであり、サイクル遅れは前記Cas Latency指定の値“2”に従うものである。

MCU102は読み出しデータを受け取り、内部の「エラー検出および訂正機能」9 1.9 でエラー検出を行い、1ビットエラーが検出されたときは訂正する(r 5 ~ r 9 サイクルにかけて)。

最終的にデータがMCU102からCPU101に出力される(6 0 2)のはr 6 ~ r 9 サイクルである。CPU101は前記Cas Latency指定の値“3”に従

って、このタイミングでデータを取りこむ。

以下は制御信号に関する説明である。

MCU102は $\hat{CS\_A}$  (801) がアサートされたことでバーストアクセスのサイクルであることを認識する。 $\hat{CS\_A}$  (801) がアサートされていれば、 $\hat{CS\_B}$  (802) はアサートされない。MCU102内部で制御部A609が選択使用され制御信号が出力される。

SDRAMへの $\hat{CS}$  (827) はバスサイクル中アサートする。

CPU101の出力RD/ $\hat{WR}$  805 がハイレベルで読み出し動作を示すことを受けて、SDRAMへの $\hat{we}$  817 もハイレベルのままである。

CPU101が作り出した $\hat{RAS}$ 806と $\hat{CAS}$ 807も読み出し時はそのままSDRAMへ出力する(818, 819)。

読み出し動作時はDQM $\bar{x}$ / $\hat{WE}$ n (808~811) はすべてローレベルである。

第13図はバーストアクセスによるメモリへの書き込み動作を示すタイムチャートである。

CPU101は1回のバースト転送につき4回データを書き込む。本実施例に用いたCPU101ではアドレスの更新はCPU101が列アドレスを4回すべて指定する方式をとる。

CPU101からバーストアクセス時にはアドレス(601)の下位に直接SDRAMが接続できるように、行アドレスと列アドレスの値が出力される。w1サイクルで行アドレス、w3~w6では列アドレスが順次現われることを示す。これを受け取ったMCU102はECC生成のため1サイクル分データ転送が遅れることに合わせ、1サイクル遅れで列アドレスをSDRAMへ出力する(622, w4~w7)。MCU102内部でアドレス操作部A612内セクタ903の信号902側を選択する。

SDRAMへの書き込みデータ602はw3~w6サイクルに現われる。これらは同じくw3~w6で発行された列アドレスに対応するものである。

MCU102は書き込みデータを受け取り、内部の「ECC生成」917でECCビ

ットの生成を行う。

最終的にデータとECCビットは1サイクル遅れでw4～w7サイクルの期間にMCU102からSDRAMに出力する(812～816)。

以下は制御信号に関する説明である。

MCU102<sup>^</sup>CS\_A(801)がアサートされたことでバーストアクセスのサイクルであることを認識する。<sup>^</sup>CS\_A(801)がアサートされていれば、<sup>^</sup>CS\_B(802)はアサートされない。MCU102内部で制御部A609が選択使用され制御信号が出力される。

SDRAMへの<sup>^</sup>CS(827)はバスサイクル中アサートする。

CPU101の出力RD/<sup>^</sup>WR805がローレベルで書き込み動作を示すことを受けて、SDRAMへの<sup>^</sup>we817はデータ(812～816)に合わせ、ローレベルを1サイクル遅延して出力する。

CPU101が作り出した<sup>^</sup>RAS806については読み出し時と同様そのままSDRAMへ出力すればよい(<sup>^</sup>ras818)。<sup>^</sup>CAS807については、データ(812～816)に合わせ、ローレベルを1サイクル遅れで出力する(<sup>^</sup>cas819)。

バーストアクセスの書き込み動作時、DQMxx/<sup>^</sup>WEn(808～811)はすべてローレベルである。

第14図はシングルアクセスによるメモリの読み出し動作を示すタイムチャートである。

CPU101は1回のシングルアクセス転送につき1回だけデータを読み出す。

シングルアクセス時はCPU101からのアドレス(601)には単にビット[22:2]にそのまま値が出力されるだけであり、MCU内部でSDRAMへ与える行アドレス、列アドレスにするための操作を行う。R2サイクルで行アドレス、R4サイクルでは列アドレスを順次SDRAMへ出力する(622)。これはMCU102内部でアドレス操作部B615を選択して実現する。

SDRAMからの読み出しデータはR6サイクルに現われる(812～816)。これらはR4サイクルで発行された列アドレスに対応するものであり、サイ

クル遅れは前記Cas Latency指定の値に従っている。

MCU102は読み出しデータを受け取り、内部の「エラー検出および訂正機能」 9 1 9 でエラー検出を行い、エラーが検出されたときは訂正する（R 6 ～R 7 サイクル）。

最終的にデータがMCU102からCPU101に出力される（6 0 2）のはR 7 サイクルである。

以下は制御信号に関する説明である。

MCU102は $\hat{C S}_B$ （8 0 2）がアサートされたことでシングルアクセスのサイクルであることを認識する。MCU102内部で制御部B 6 1 1 が選択使用され制御信号が出力される。

SDRAMへの $\hat{C S}$ （8 2 7）は $\hat{r a s 8 1 8}$ と $\hat{c a s 8 1 9}$ に合わせR 2 ～R 4 のサイクルでアサートする。

CPU101の出力RD/ $\hat{W R}$  8 0 5 がハイレベルで読み出し動作を示すことを受けて、SDRAMへの $\hat{w e 8 1 7}$ もハイレベルのままである。

CPU101は $\hat{R A S 8 0 6}$ と $\hat{C A S 8 0 7}$ を出力しないので $\hat{r a s 8 1 8}$ と $\hat{c a s 8 1 9}$ をMCU102内部の制御部B 6 1 1 で生成する（R 2 , R 4 サイクル）。

読み出し動作時はDQMxx/ $\hat{W E n}$ （8 0 8 ～8 1 1）はすべてローレベルである。

$\hat{W A I T 1 1 8}$ はR 3 サイクルはじめのクロック立ち上がりからCPU101にサンプリングされる。データがMCU102はR 2 ～R 6 サイクルにアサートするように制御する。

第15図はシングルアクセスによるメモリへの32ビットデータの書き込み動作を示すタイムチャートである。

CPU101は1回のシングルアクセス転送につき1回だけデータを書き込む。

シングルアクセス時はCPU101からのアドレス（6 0 1）には単にビット[2 2 : 2]にそのまま値が出力されるだけであるため、MCU内部でSDRAMへ与える行アドレス、列アドレスにするための操作を行う。W 2 サイクルで行アドレス、W 4 サイクルでは列アドレスを順次SDRAMへ出力する（6 2 2）。これはMCU



102内部でアドレス操作部B 6 1 5を選択使用して実現できる。

CPU101からの書き込みデータ6 0 2はアドレス6 0 1と同様に出力される。

MCU102は書き込みデータ6 0 2を受け取り、内部の「E C C生成」9 1 7でE C Cビットの生成を行う。

最終的にデータがMCU102からS D R A Mに出力される(8 1 2~816)のはW 4 サイクルである。

以下は制御信号に関する説明である。

MCU102は $\bar{C S}_B$ (8 0 2)がアサートされたことでシングルアクセスのサイクルであることを認識する。MCU102内部で制御部B 6 1 1が選択使用され制御信号が出力される。

S D R A Mへの $\bar{C S}$ (8 2 7)は $\bar{ras}818$ と $\bar{cas}819$ に合わせW 2 ~W 4 のサイクルでアサートする。

CPU101の出力R D/ $\bar{W R}$ 8 0 5がローレベルとなり書き込み動作を示すことを受けて、S D R A Mへの $\bar{w e}817$ も $\bar{c a s}$ に合わせてW 4 サイクルでローレベルを出力する。

CPU101は $\bar{RAS}806$ と $\bar{CAS}807$ を出力しないので $\bar{ras}818$ と $\bar{cas}819$ をMCU102内部の制御部B 6 1 1で生成する(R 2, R 4 サイクル)。

3 2 ビットデータの書き込み動作時はD Q M x x/ $\bar{W E n}$ (8 0 8~8 1 1)はすべてローレベルである。

$\bar{WAIT}118$ はW 3 サイクルはじめのクロック立ち上がりからCPU101にサンプリングされる。MCU102はW 2 ~W 3 サイクルにアサートするよう制御する。

第1 6 図はシングルアクセスによるメモリへのパーシャルライト動作を示すタイムチャートである。

パーシャルライト動作はE C Cビットを3 2 ビット単位のデータに対して付加していることから、以下の手順が必要である。

a) 書き込むアドレスの3 2 ビットデータを読み出す。(E C Cチェックする。)

b) 書き込むデータをa)のデータに埋め込んで新たな3 2 ビットデータをつ

くる。

c) b) のデータに対しECCビットを生成してからメモリへ書き込む。

上記手順を踏まえて説明する。

シングルアクセス時はCPU101からのアドレス(601)には単にビット[22:2]にそのまま値が出力されるだけであり、MCU内部で

SDRAMへ与える行アドレス、列アドレスにするための操作を行う。まず、手順a)のためPW2サイクルで行アドレス、PW4サイクルでは列アドレスを順次SDRAMへ出力する。次に手順c)のためPW8サイクルに列アドレスをSDRAMへ出力する(622)。以上はMCU102内部でアドレス操作部B615を選択して実現する。

SDRAMからの読み出しデータはPW6サイクルに現われる(812~816)。これらはPW4サイクルで発行された列アドレスに対応するものであり、サイクル遅れは前記Cas Latency指定の値に従っている。

MCU102は読み出しデータを受け取り、内部の「エラー検出および訂正機能」919でエラー検出を行い、エラーが検出されたときは訂正する(PW6~PW7サイクル)(手順a))。

CPU101は書き込みデータ602をアドレス601と同様に出力する。PW7サイクルで「エラー検出および訂正機能」919を経たデータとCPU101からの書き込みデータ602をマージ(917)する(手順b))。マージ後のデータに「ECC生成」917でECCビットの生成を行い、最終的にデータをMCU102からSDRAMに出力する(812~816)のはPW8サイクルである。なおマージするバイト位置はDQMxx/ $\overline{\text{WE}}$ n(808~811)で判断する。

以下は制御信号に関する説明である。

MCU102は $\overline{\text{CS}}_B$ (802)がアサートされたことでシングルアクセスのサイクルであることを認識する。MCU102内部で制御部B611が選択使用され制御信号が出力される。

SDRAMへの $\overline{\text{CS}}$ (827)は $\overline{\text{ras}}$ 818と $\overline{\text{cas}}$ 819に合わせPW2~PW4およびPW8のサイクルでアサートする。

CPU101の出力RD/ $\overline{\text{WR}}$  805がローレベルとなり書き込み動作を示

すことを受けて、SDRAMへの $\overline{\text{we}}$  817も $\overline{\text{cas}}$ に合わせてPW8サイクルでローレベルを出力する。

CPU101は $\overline{\text{RAS}}$ 806と $\overline{\text{CAS}}$ 807を出力しないので $\overline{\text{ras}}$ 818と $\overline{\text{cas}}$ 819をMCU102内部の制御部B611で生成する(PW2, PW4, PW8サイクル)。

パーシャルライト動作時はDQMxx/ $\overline{\text{WE}}$ n(808~811)は書き込みバイト位置を示している。制御部B611はこのうちハイレベルになっているものが1つでもあればパーシャルライトであることを認識する。

$\overline{\text{WAIT}}$ 118はPW3サイクルはじめのクロック立ち上がりからCPU101にサンプリングされる。MCU102はPW2~PW7サイクルにアサートするように制御する。第15図と第16図を比べると実行サイクル数が異なり、CPU101に対する $\overline{\text{WAIT}}$ のアサート時間を変えて動作を保証する。

第17図は第9図で示したエラーアドレス保持部904の動作例を示すタイムチャートである。シングルアクセスによるメモリの読み出し動作でエラーを検出した場合を示す。

シングルアクセスによるメモリの読み出し動作ではR2サイクルで行アドレス、R4サイクルでは列アドレスを順次SDRAMへ出力する(622)。これをエラーアドレス保持部904のラッチで順次保持しておく(Row\_Latch908, Col\_Latch909)。

R6~R7サイクルにかけて「エラー検出および訂正機能」919でエラー検出を行う。もしエラーが検出されたら上記2つのラッチ(908と909)の値をエラーアドレスラッチ(Err.Addr\_Latch910)に取り込むよう制御する(R8サイクル)。

第21図は本発明をシステムとして構成したときのブロック図である。

モジュール2106は以下のもので構成する。

CPU101, MCU102, メモリ(SDRAM)103はこれまで説明したものである。更に、システムバス2100を通じてセンサ2114やアクチュエータ211

5と接続2107して情報交換し、機器制御を行うためのI/OIF(2101)と、ハードディスク装置2111と接続2108して情報交換を行うSCSIIF(2102)と、ローカルエリアネットワーク2112と接続2109して、他のコアモジュールと情報交換を行うLANIF(2103)と、ブートプログラムを搭載するPROM(2104, Programable Read Only Memory)と、コンソール2113とシリアル接続2110して使用者とのインターフェースを図るシリアルIF(2105)から構成する。

第22図は第21図で示したシステム構成によりMCU102をシステムバス2100に接続する方法を示す。

本構成では以下のアクセスが可能である。

- (ア) CPU101がMCU102を介してメモリ103をアクセスする。
- (イ) CPU101がMCU102を介してシステムバス上のデバイスをアクセスする。
- (ウ) システムバス上のデバイスがMCU102を介してメモリ103をアクセスする。

上記(ア)はこれまで説明したとおりである。

なお、第22図ではセクタ2214を新たに追加した。(ア)のアクセスの時はデコード回路105の出力116を選択するように制御する。

上記(イ)について説明する。

CPU101の外部入出力I/F117はメモリアクセスだけでなく、シス

テムバス上のデバイスをアクセスするときにも用いる。外部入出力I/F117はバスインタフェース部2210のスレーブ入出力部2213に接続し、この経路によってシステムバス上のデバイスをアクセスすることができる。

CPU101からのアクセスはシングルアクセスI/F機能107を使用する。スレーブ入出力部2213からの<sup>^</sup>WAIT2217はセクタ2215を介してシングルアクセスI/F機能107へ伝わり、システムバス上のデバイスごとのデータ転送速度の違いに対応する。

上記(ウ)について説明する。

システムバス上のデバイスからメモリ103へのアクセスはバスインタフェー

ス部2210のマスタ入出力部2212を通じて行う。マスタ入出力部2212からメモリ103へのアクセスはCPU101からメモリ103へのアクセスが発生するときと同様である。

システムバス上のデバイスの要求により、バスインタフェース部2210からメモリ103へのアクセスが起動される(I/F2204)と、メモリ103へのアクセスはバーストアクセスI/F機能2201あるいはシングルアクセスI/F機能2202が選択される。選択の判断はデコード回路2200によって行う。デコード回路2200はI/F2204の一部のアドレス2205をもとにアドレス空間を識別する。バーストアクセスI/F機能2201の入出力2207とシングルアクセスI/F機能2202の入出力2208を選択する機能を持つ選択部2203はデコード回路2200の出力2206でどちらかを選ぶ。選択した入出力はCPU101の入出力I/F117へ接続される。サイクル延長要求信号である<sup>^</sup>WAIT2216はシングルアクセスI/F機能107にのみサポートする。

このようにして、システムバス上のデバイスがメモリ103をアクセ

スするときも、必要に応じてバーストアクセスとシングルアクセスの選択が可能である。

以上説明したように、ECCによる高信頼化を行えば、通常は高速なバーストアクセスインタフェースを使用し、必要とするときのみシングルアクセスを使用してメモリアccessの平均的高速化を図ることができる。

#### (実施例2)

第4図はアドレス空間割り当ての他の例である。

パーシャルライト不可のエリアA400とパーシャルライト可のエリアB401を連続した別の空間に割り当てたことを示す。それぞれのエリアを合わせて実メモリアrea202内にちょうど収まる大きさを持ち、それぞれのエリアへのアクセスは実体はただ一つのメモリに対して行われる。

第5図は第4図に示した割当方法をデコード回路105で実現する構成をしめす。

アドレス113はmビットでバイトアドレスを指し示し、メモリ103は(2の

n乗) バイトの容量を持つ。このときメモリ103の領域(図4の202)の特定のバイトアドレスを指定するのはLSB(最下位ビット)のb0からb(n-1)までのビット301である。アドレス空間のエリアA400とエリアB401を合わせた領域を指定するのはbnからb(m-1)までのビット300である。デコードAorB(502)の回路で「エリアAまたはエリアB」を識別する。

デコード(A)501の回路はメモリ103の領域(第4図の202)内でのエリアAを識別するもので、アドレス113のb(n-1)ビットから下位のビット(必要なビット数だけ)500を入力にする。

デコード(A)501の出力503とデコードAorB(502)の出力504の論理積(AND, 507)の出力はエリアAを指し示す。

デコード(A)501の出力503を論理反転(NOT, 505)した出力506とデコードAorB(502)の出力504の論理積(AND, 507)の出力はエリアBを指し示す。

本方式によれば使用するメモリ空間を実メモリエリア202内に抑えることが出来る。

### (実施例3)

第18図は本発明の他の実施例の概要を示す構成ブロック図である。

第1図に示した構成と異なるのはバーストアクセスとシングルアクセスの選択方法である。選択の判断はプログラム手段によるものであり、レジスタ1800にどちらを選択するか設定する。レジスタ1800の出力1801は選択部108と選択部111に指示を与える。この場合、メモリのマッピングは実施例1と異なりアドレス空間で識別する必要はない。

本構成は通常の動作において高速なバーストアクセスを選択するようレジスタ1800に設定しておく。パーシャルライトが必要になると判断されたときは、シングルアクセスを選択するようレジスタ1800に設定してからパーシャルライトを実行する。その後、バーストアクセスを選択するようレジスタ1800に設定してから通常の動作に戻るようにする。

第19図は第18図に示した構成の改良例である。

第18図に示した構成と異なるのはレジスタ1800と同等のレジスタ1900をMCU102の内部に用意したことである。MCU102の選択部111への選択指示はレジスタ1900の出力1901が行う。この構成によ

ればCPU101はレジスタ1800の出力1801を外部に出力する必要はなくなるという利点がある。

通常の動作では高速なバーストアクセスを選択するようレジスタ1800とレジスタ1900に設定しておく。パーシャルライトが必要になると判断されたときは、シングルアクセスを選択するようレジスタ1800とレジスタ1900両方に設定してから、パーシャルライトを実行する。その後、バーストアクセスを選択するようレジスタ1800とレジスタ1900両方に設定してから通常の動作に戻るようにする。

#### (実施例4)

第20図は本発明のもう一つの実施例の概要を示す構成ブロック図である。

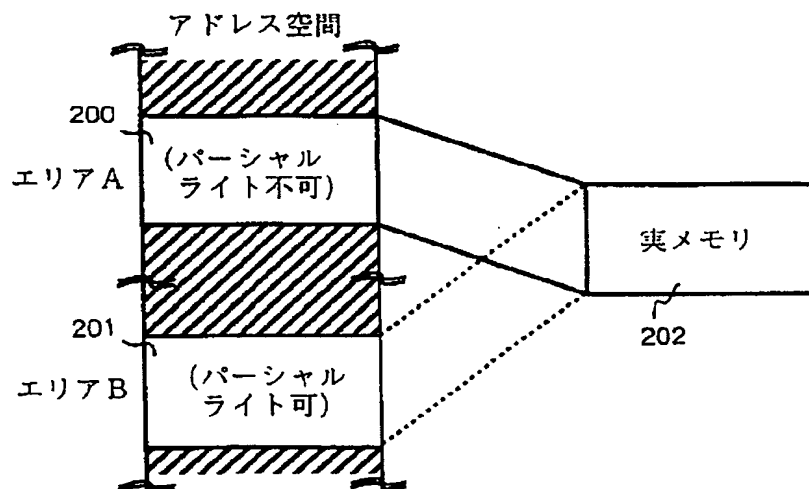
第1図に示した構成と異なるのはバーストアクセスとシングルアクセスの選択方法である。CPUは仮想メモリ (Virtual Memory) を行うためのTLB (Translation Lookaside Buffer, 2000) を有する。このTLBは、4Kバイトページ単位に論理アドレスを物理アドレスに変換するアドレス変換テーブルをエントリ内に有しており、このTLBの各アドレス変換テーブルごとに「I/F選択ビット」を新たに設け、その出力値2001が選択部108と選択部111に指示を与えるようにするのである。

TLBエントリにアドレス変換テーブルを登録する時にパーシャルライトが必要なページには「I/F選択ビット」をシングルアクセスを選択するように設定すればよい。

第1図



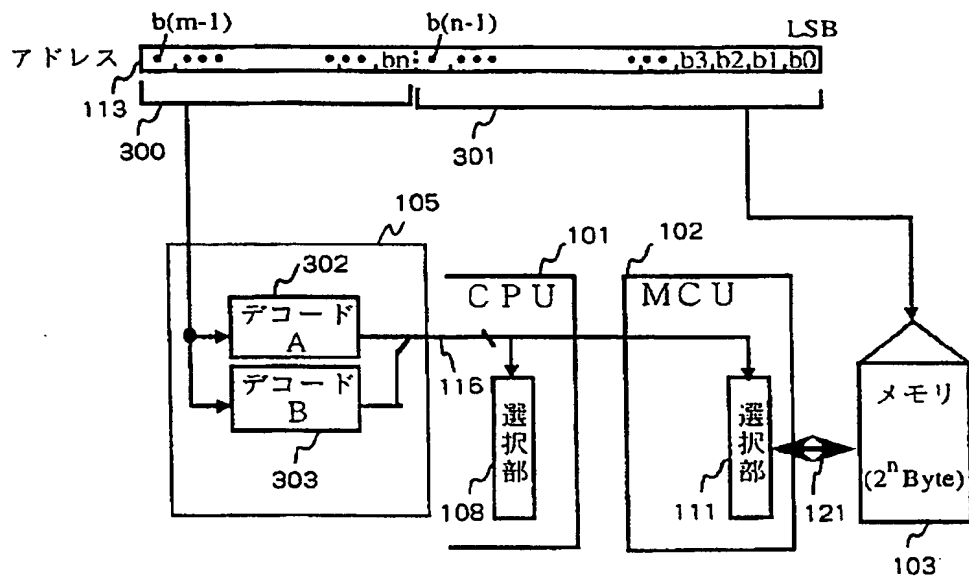
第2図





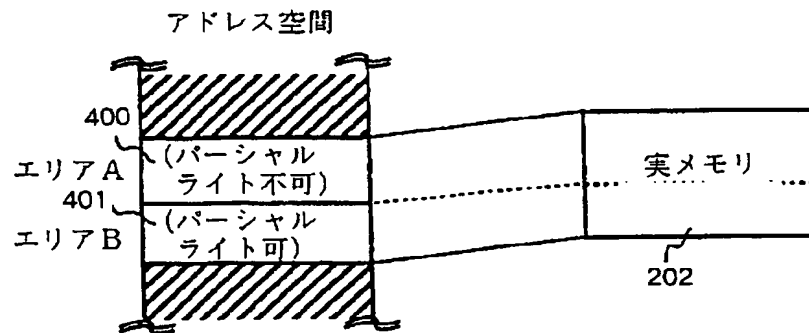
【図3】

第3図



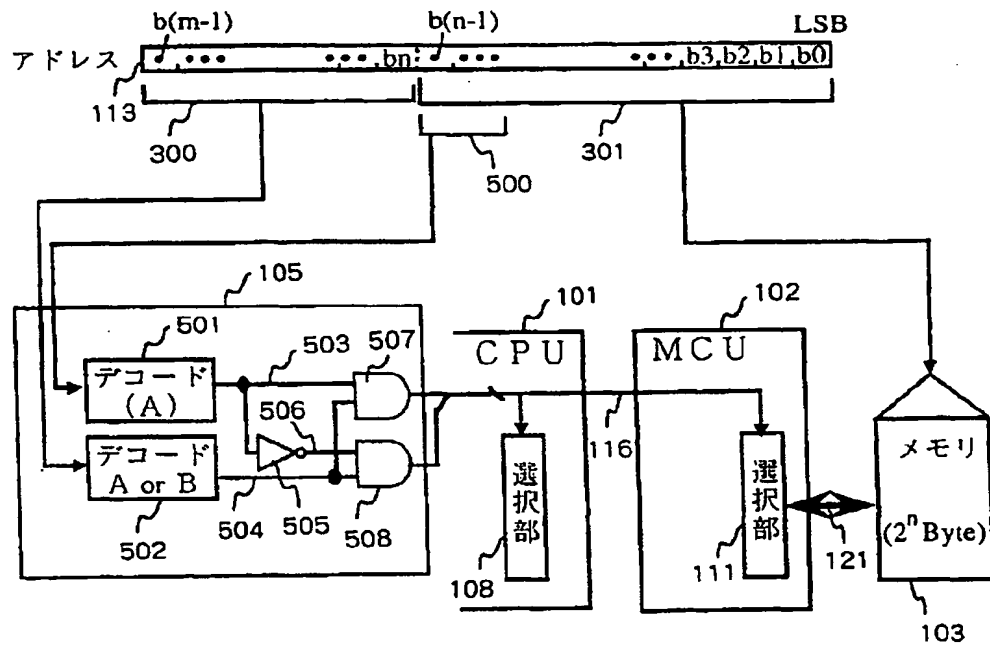
【図4】

第4図



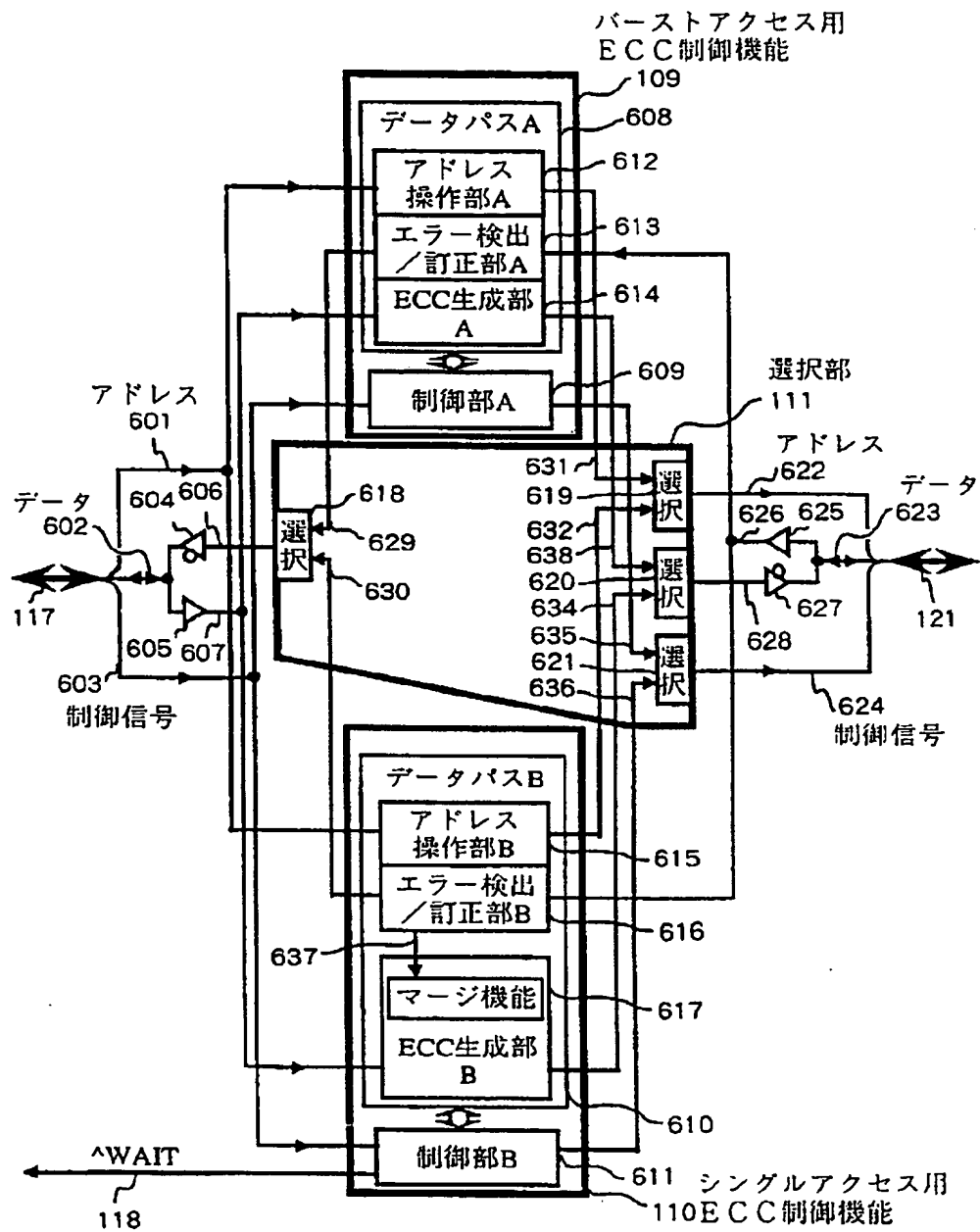
【図5】

第5図

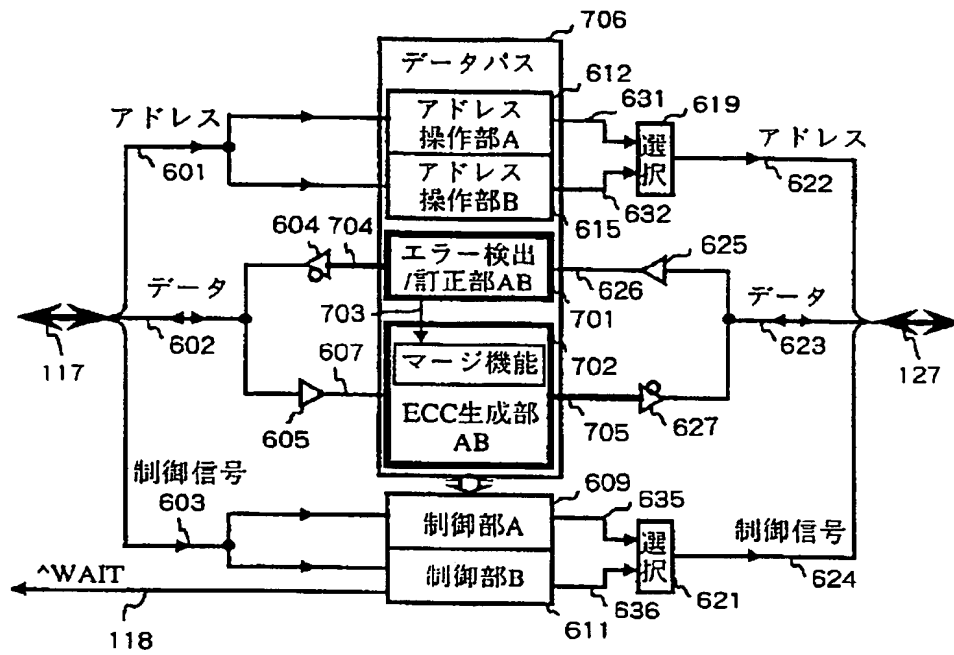


【図6】

第6図

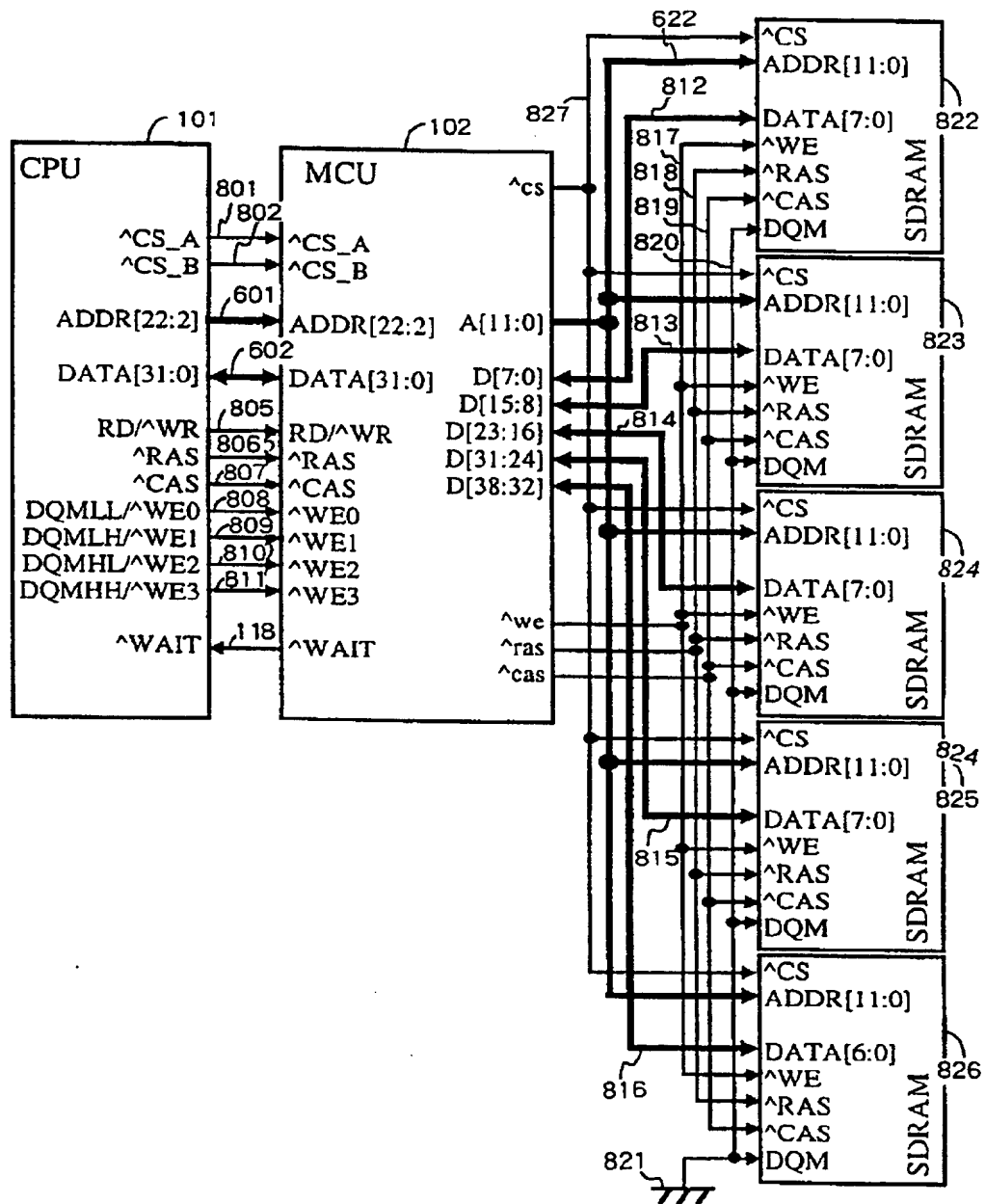


第7図



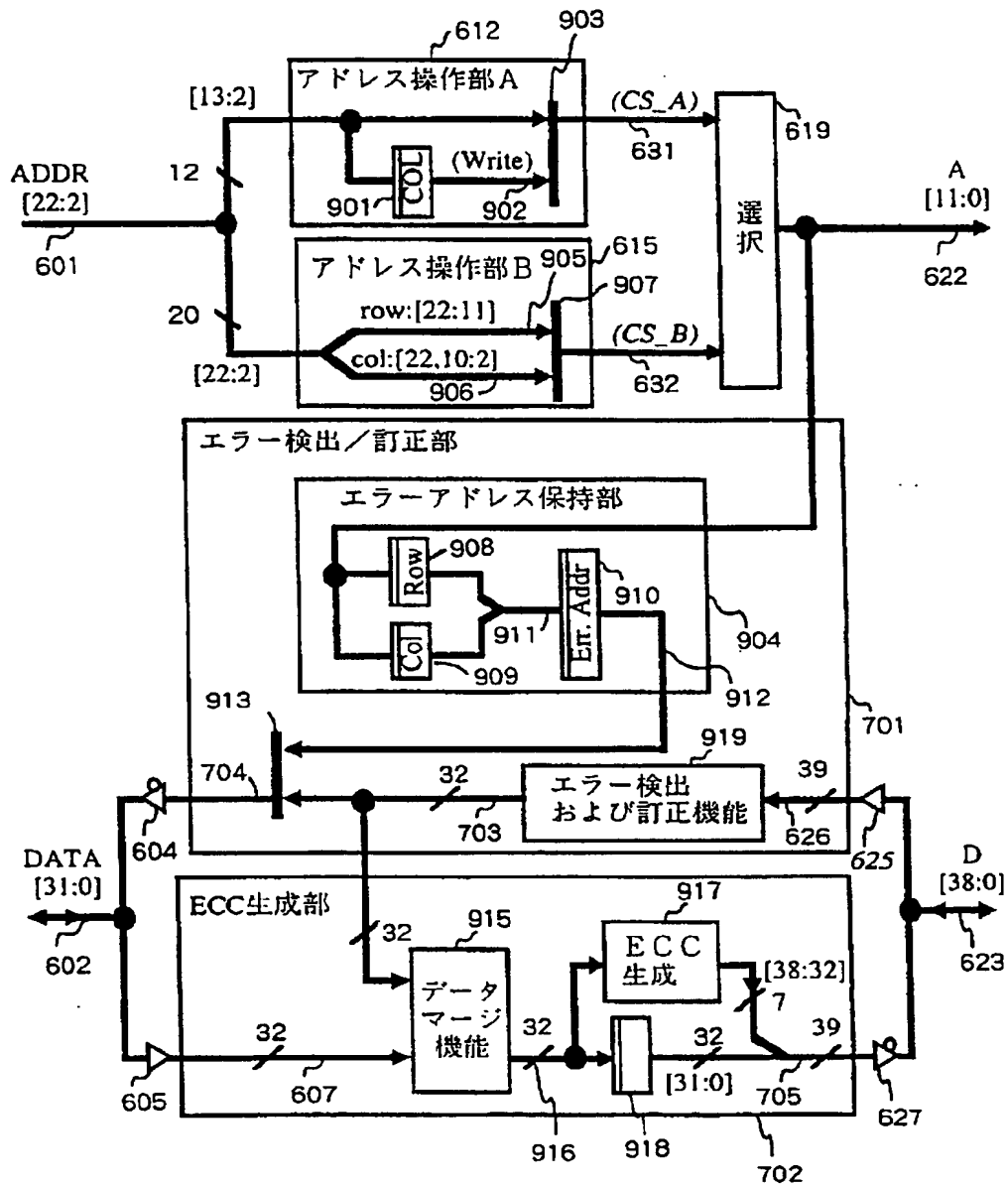
【図 8】

第 8 図



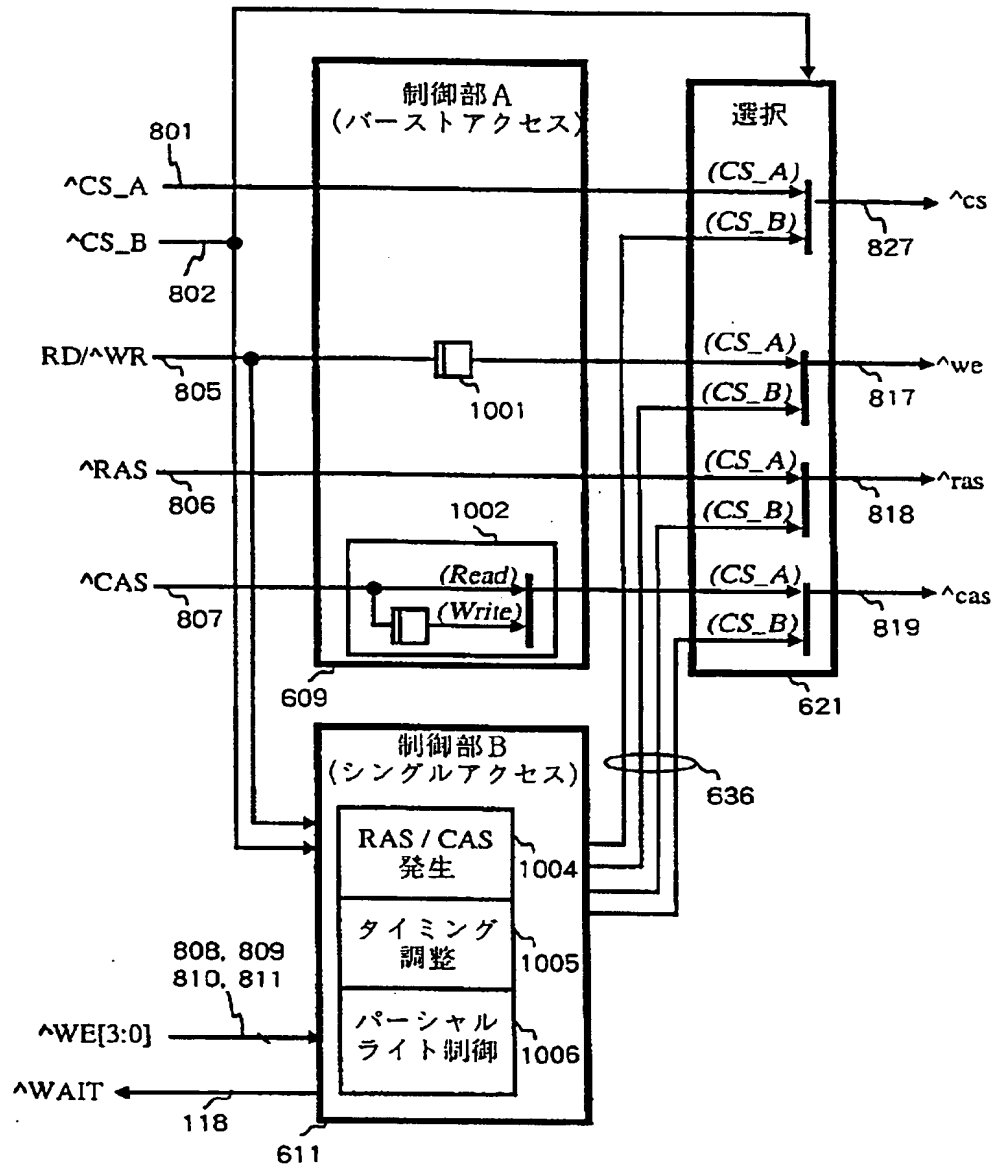
【図9】

第9図



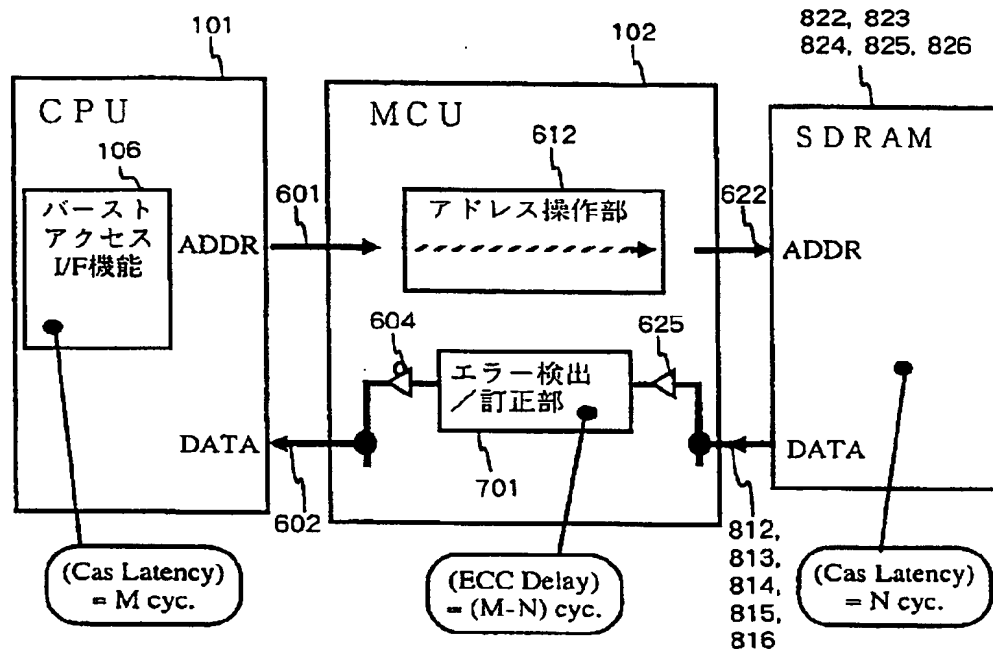
【図10】

第10図



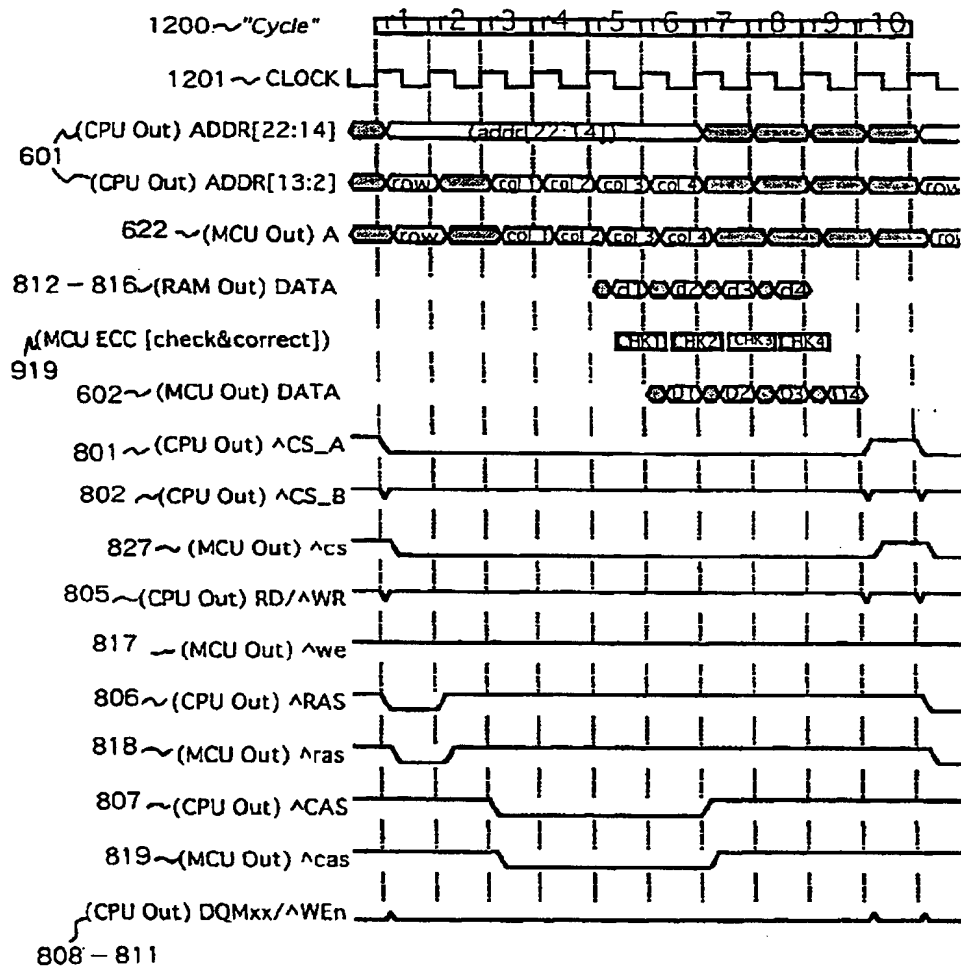
【図11】

第11図



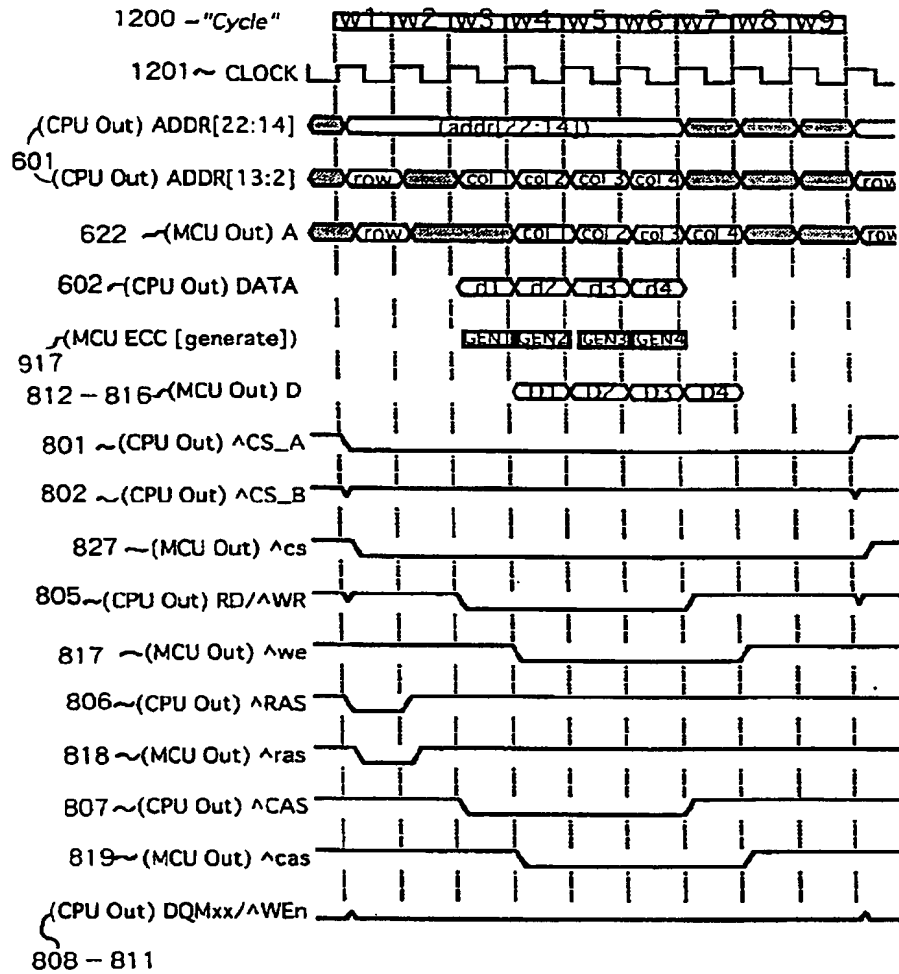


第12図



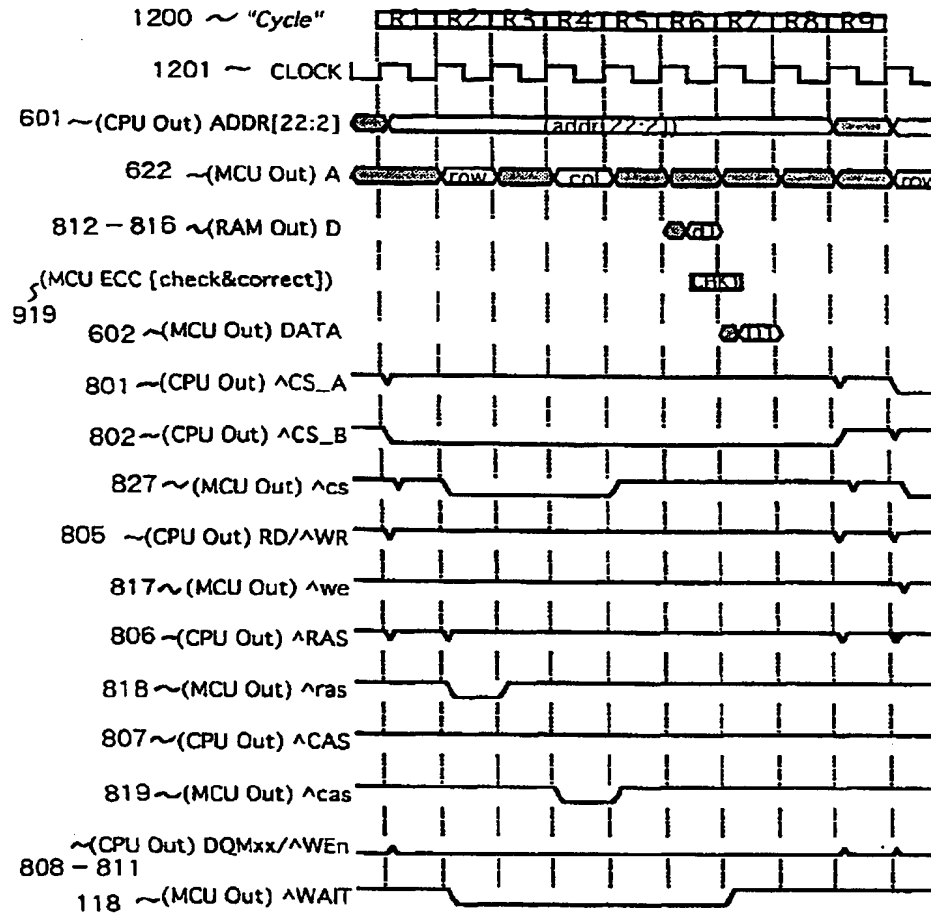
【図13】

第13図



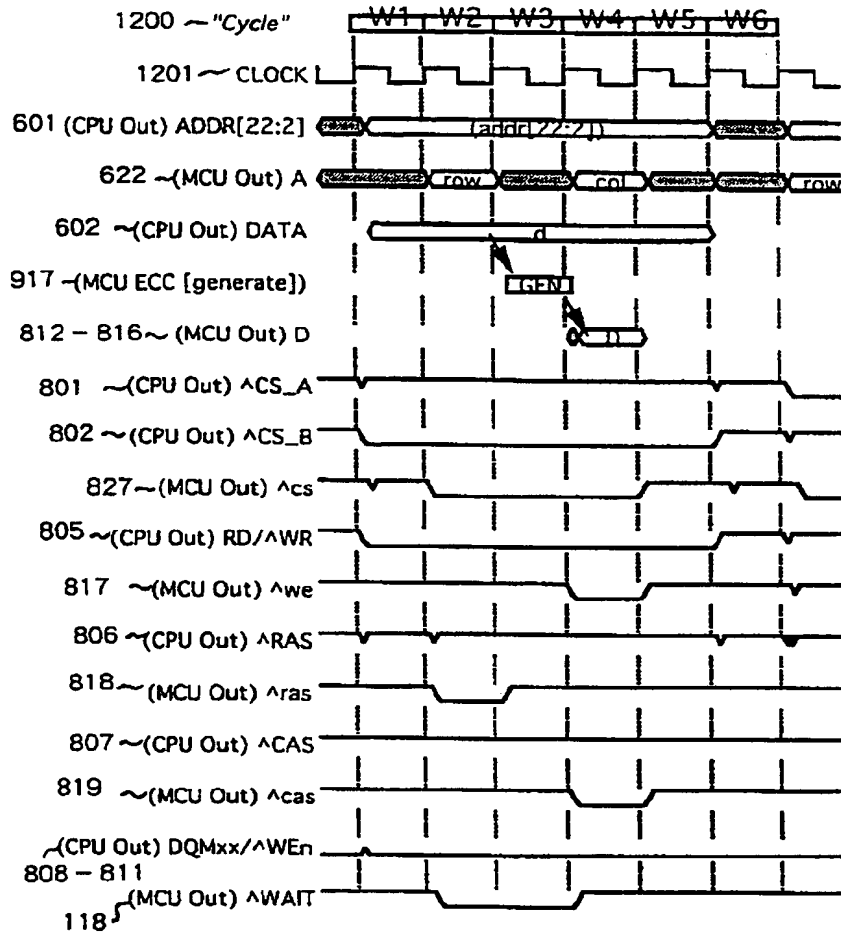
【図14】

第14図



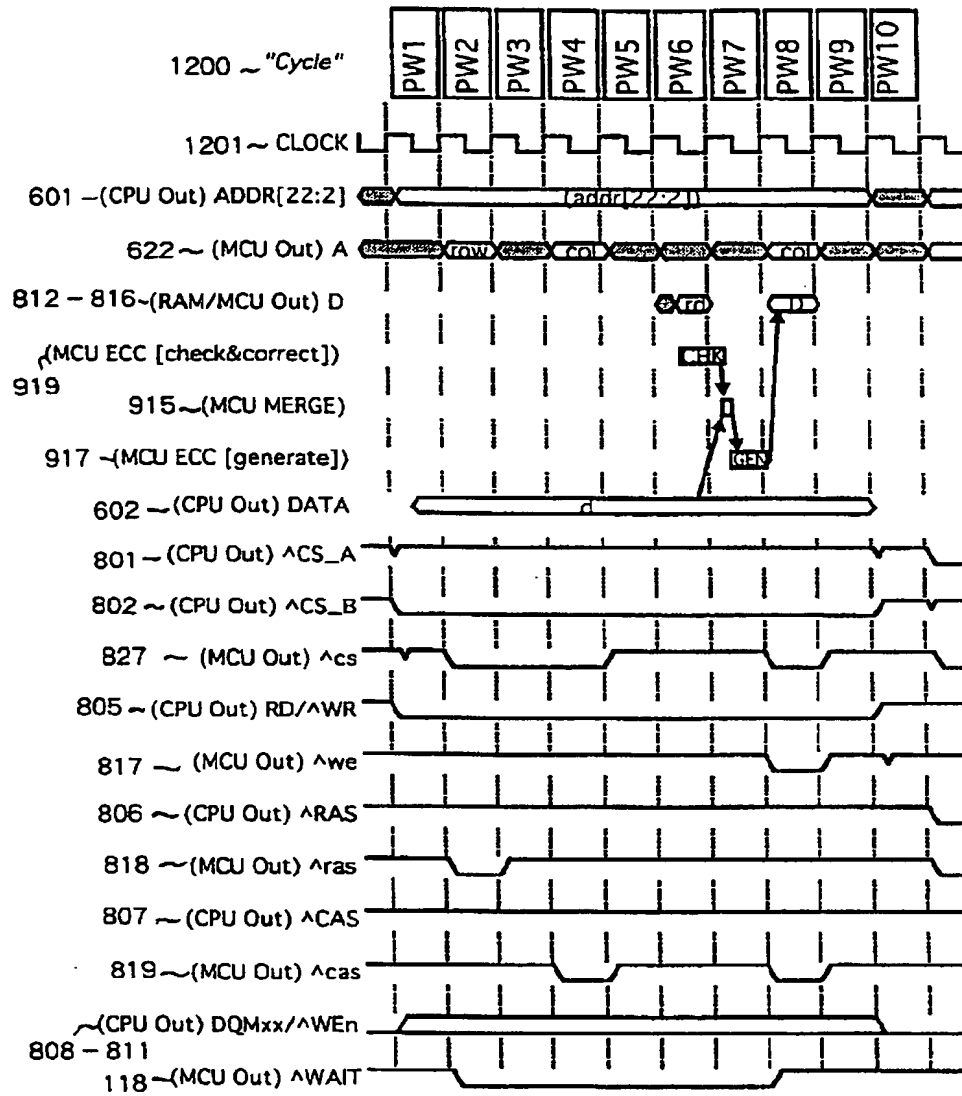
【図15】

第15図



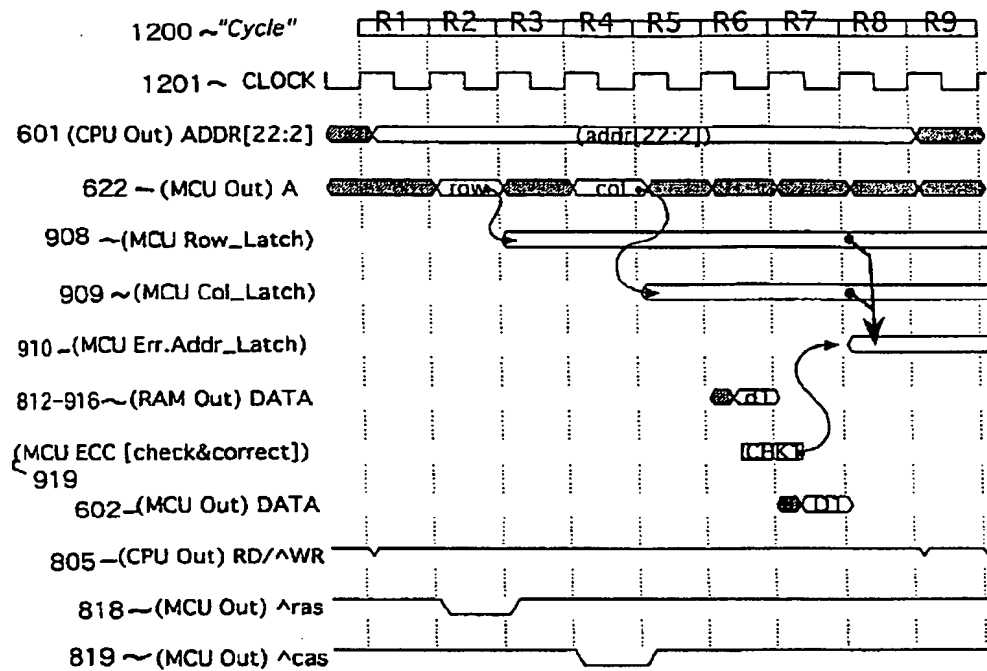
【図16】

第16図



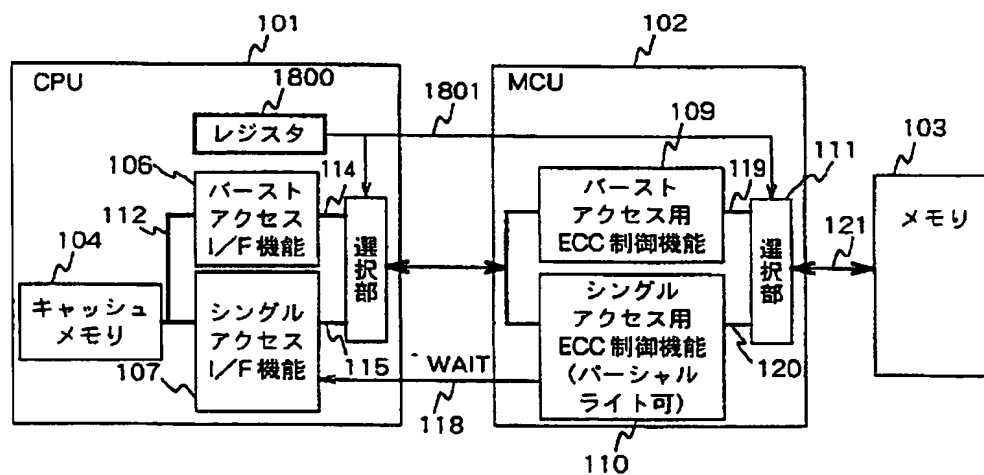
【図17】

第17図



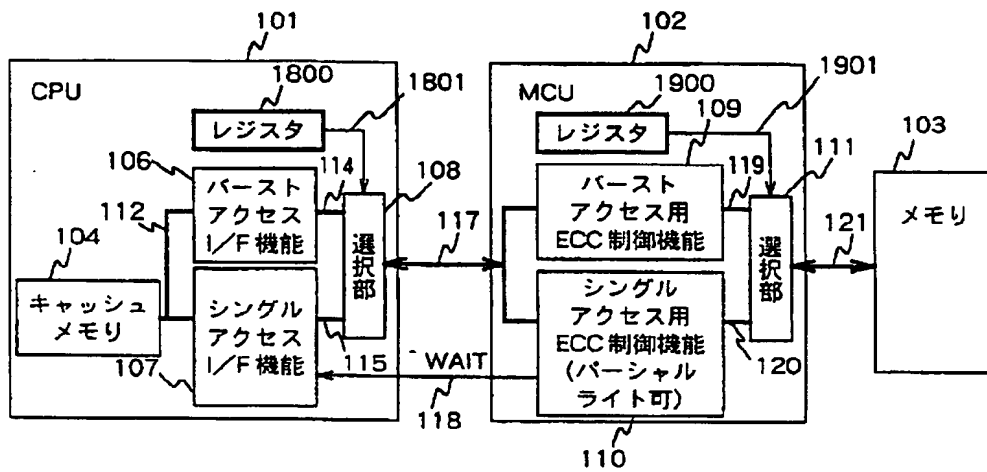
【図18】

第18図



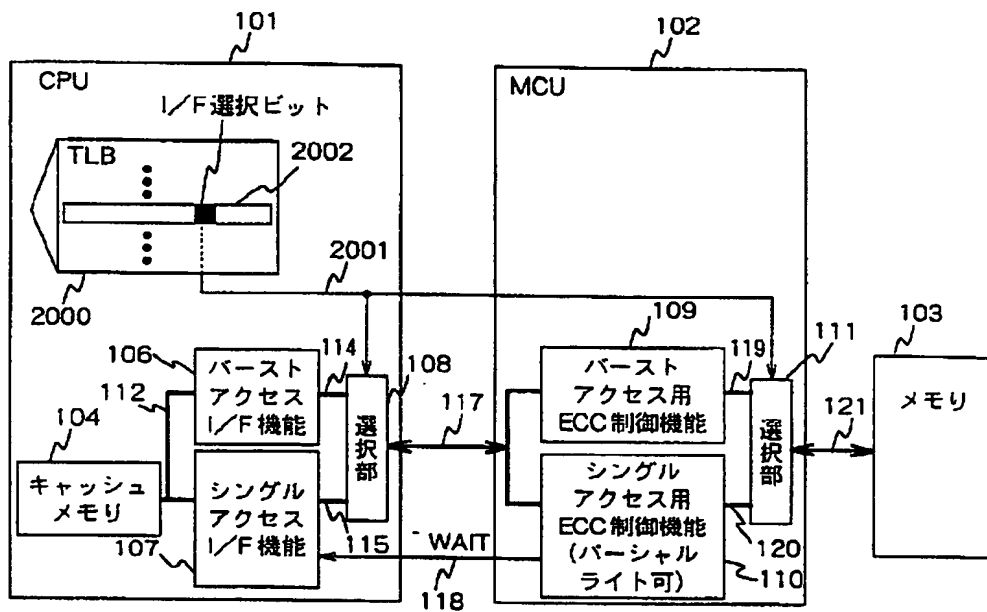
【図19】

第19図



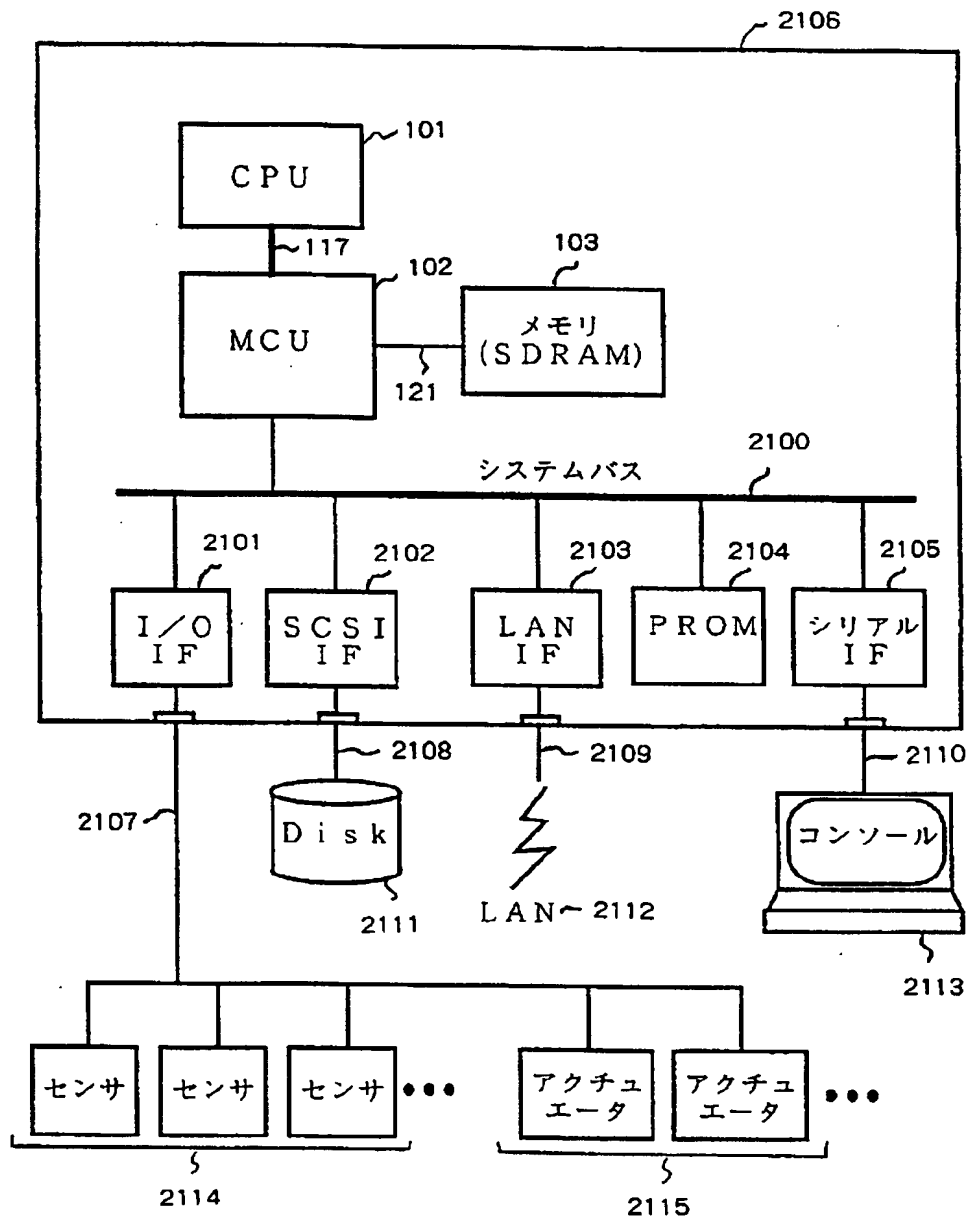
【図20】

第20図



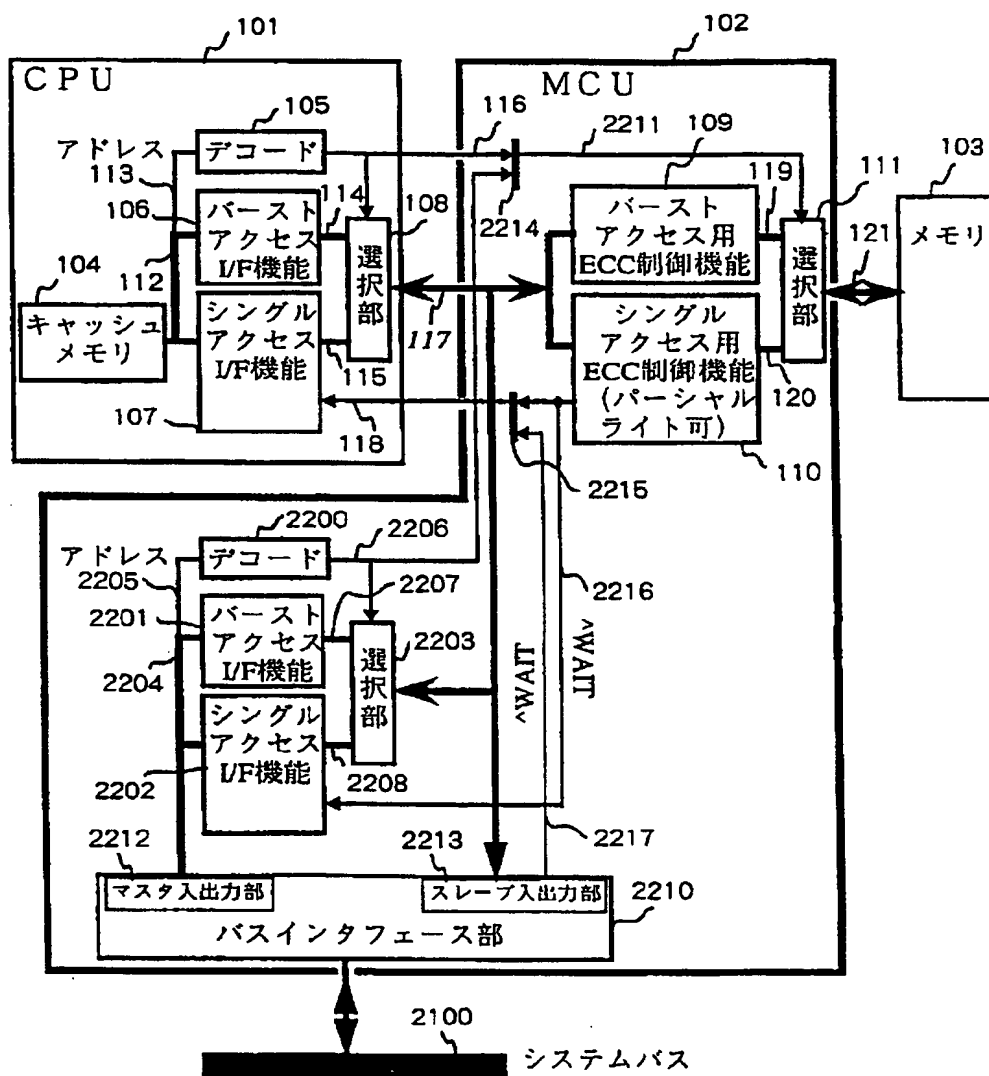
【図21】

第21図





第22図



## 【国際調査報告】

国際調査報告		国際出願番号 PCT/JP96/01899	
A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int Cl <sup>1</sup> G 0 6 F 1 2 / 0 2, G 0 6 F 1 2 / 0 4, G 0 6 F 1 2 / 1 6			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int Cl <sup>1</sup> G 0 6 F 1 2 / 0 2, G 0 6 F 1 2 / 0 4, G 0 6 F 1 2 / 1 6			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1971-1996年 日本国公開実用新案公報 1971-1994年 日本国登録実用新案公報 1994-1996年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	J P, 7-248976, A (日本電気株式会社) 26. 9月. 1995 (26. 09. 95) 第3欄第20行~第6欄第10行 (ファミリーなし)	1-14	
Y	J P, 4-253286, A (富士通株式会社) 9. 9月. 1992 (09. 09. 92) (ファミリーなし)	1-8	
Y	J P, 1-246661, A (株式会社東芝) 2. 10月. 1989 (02. 10. 89) 第3頁右下欄~第4頁右上欄 (ファミリーなし)	8, 14	
Y	J P, 7-281948, A (三菱電機株式会社) 27. 10月. 1995 (27. 10. 95) 第7欄第49行~第8欄26行 (ファミリーなし)	9-14	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 24. 09. 96		国際調査報告の発送日 08.10.96	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 金田 利樹 電話番号 03-3581-1101 内線 3545	

---

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

Mailed: January 26, 2005

Notice of Reasons for Rejection

Serial No. 2002-355634  
Drafted: January 20, 2005  
Examiner: Naoyuki Yagashira  
Attorneys: Shoji Takemoto et al.  
Provision: Patent Law, Section 29(2)

This application is to be rejected by the following reasons. If the applicant has any opinion against those reasons, he/she is requested to file an argument within 60 days from the mailing date of this notice.

Reason

The invention recited in the following claims is not patentable in accordance with Patent Law Section 29(2), because the invention could easily have been made by a person with an ordinary skill in the art to which the invention pertains, on the basis of the invention described in the following publications distributed in Japan or elsewhere prior to the filing of the patent application.

Note (as to the references cited, see the following List of References)

Regarding claims 1 to 6

References 1 discloses using of different error detecting means dependent upon at single access time or burst access time. Reference 2 discloses using of different error detecting means for address or commands

[List of References]

1. WO98/01806
2. JP 5-158808, A

-----  
Record of Prior Art Documents Search Result  
•Search Field IPC Version 7 H04L1/00, G06F12/16  
•Prior Art

This search result does not constitute a reason of rejection.